

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

61282-011  
Shimazaki, et al.  
March 8, 2001

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 3月 8日

出 願 番 号  
Application Number:

特願2000-063783

出 願 人  
Applicant (s):

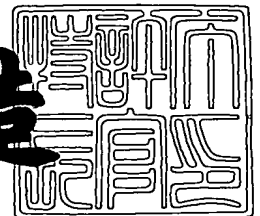
松下電器産業株式会社



2000年12月22日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3108228

【書類名】 特許願

【整理番号】 5037620021

【提出日】 平成12年 3月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 島崎 健二

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平野 将三

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 辻川 洋行

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 溝川 卓

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不要輻射解析方法および装置

【特許請求の範囲】

【請求項 1】 論理シミュレーションの実行によって L S I の不要輻射量を解析する方法であって、

周波数帯毎に、F F T 解析離散幅を割り当て、モデル化する工程と、

前記モデル化する工程によって算出された電流変化情報を高速フーリエ変換処理する工程とを含むことを特徴とする不要輻射解析方法。

【請求項 2】 前記モデル化する工程は、

特定の周波数帯に対し、高速フーリエ変換（以下 F F T）解析の離散幅の変更を指定する離散幅変更周波数帯指定工程と、

前記指定された周波数帯と前記周波数帯以外の周波数帯とに対し、それぞれ互いに異なる F F T 解析離散幅を割り当て、モデル化する工程とを含むことを特徴とする請求項 1 に記載の不要輻射解析方法。

【請求項 3】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、不要輻射解析対象回路の各時刻の電流計算と同時に電流周波数成分を計算する工程を含むことを特徴とする請求項 1 に記載の不要輻射解析方法。

【請求項 4】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、解析対象の時間範囲未満の時間間隔について、前記時間間隔の電流計算を行うごとに前記時間間隔の電流周波数成分の演算を行い、演算された前記電流周波数成分をもとに全解析対象の時間範囲の電流周波数成分を計算する工程を含むことを特徴とする請求項 1 に記載の不要輻射解析方法。

【請求項 5】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、電流周波数成分記憶工程と、

あらかじめ定めた閾値を超える電流周波数成分値のみを前記電流周波数成分記

憶手段に記憶する電流周波数成分計算工程とを有することを特徴とする請求項1に記載の不要輻射解析方法。

【請求項6】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

電流周波数成分記憶工程と、

電流周波数成分値を大きいものからあらかじめ定めた個数分のみ前記電流周波数成分記憶手段に記憶する電流周波数成分計算工程とを有することを特徴とする請求項1に記載の不要輻射解析方法。

【請求項7】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

対象回路網中のあらかじめ指定した回路部分のみの電流周波数成分を計算する工程を含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項8】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程が、

対象回路網の1つ以上の回路部分について、電流量があらかじめ定めた閾値を超えると推定される前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項9】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

対象回路網の2つ以上の回路部分について、電流量の推定値が大きいものからあらかじめ定めた個数分の回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項10】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

対象回路網の 1 つ以上の回路部分について、論理変化回数があらかじめ定めた閾値を超える前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする請求項 1 に記載の不要輻射解析方法。

【請求項 1 1】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

対象回路網の 1 つ以上の回路部分について、論理変化回数が多いものからあらかじめ定めた個数分の前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする請求項 1 に記載の不要輻射解析方法。

【請求項 1 2】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

回路網の情報から対象回路網の論理変化回数を推定する工程と、  
対象回路網の 1 つ以上の回路部分について、論理変化回数に基づき決定された回路部分についてのみ電流周波数成分を計算する工程とを含む  
ことを特徴とする請求項 1 に記載の不要輻射解析方法。

【請求項 1 3】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、

ユーザインターフェースとして、

各インスタンスごとの電流波形に対して F F T を行った結果より、ノイズの大きな各周波数成分毎にその主原因となる前記インスタンス名を特定する手段を含むことを特徴とする不要輻射解析装置。

【請求項 1 4】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、

ユーザインターフェースとして、

1 つ以上のインスタンスを単位としたインスタンス群の電流波形に対して F F T を行った結果より、ノイズの大きな各周波数成分毎にその主原因となる前記インスタンス群を特定する手段を含むことを特徴とする不要輻射解析装置。

【請求項 1 5】 論理シミュレーションの実行によって不要輻射量を解析する解

析装置であって、

ユーザインターフェースとして、

インスタンスをライブラリに書かれたフラッグ情報に従ってグルーピングする手段、もしくは、レジスタ・組み合わせ回路・メモリ等のインスタンス群ごとにグルーピングする手段を含むことを特徴とする不要輻射解析装置。

【請求項 1 6】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、

ユーザインターフェースとして、

インスタンスを各クロック入力端子に接続されるクロックツリーに属するか否かに従ってグルーピングする手段を有することを特徴とする不要輻射解析装置。

【請求項 1 7】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、

ユーザインターフェースとして、

インスタンスを同時もしくはある時間間隔内に変化するタイミングを識別した結果に基づきグルーピングするグルーピング手段を含むことを特徴とする不要輻射解析装置。

【請求項 1 8】 前記グルーピング手段で、

グループ化したグループ情報から、ノイズの大きな各周波数成分毎にその主原因となるインスタンス名を特定する情報、及びそのノイズレベルの情報をレポートする手段を含むことを特徴とする請求項 1 5 乃至 1 7 のいずれかに記載不要輻射解析装置。

【請求項 1 9】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、

ユーザインターフェースとして、

あらかじめ決めておいた周波数についてのみ F F T を行う手段を含むことを特徴とする不要輻射解析装置。

【請求項 2 0】 論理シミュレーションの実行によって L S I の不要輻射量を解析する解析方法であって、

レイアウトデータから L P E を行い求めたチップの電源回路の抵抗および容量

の情報からチップ全体の等価抵抗と等価容量を算出し、補正係数を算出する工程と、理想電源としてあらかじめ求めた推定電流波形のイベント単位モデルに前記補正係数を用いて補正処理を加える工程とからなる電流波形補正工程を含むことを特徴とする不要輻射解析方法。

【請求項 2 1】 前記補正係数を算出する工程は、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておくテーブルによって処理し補正係数を算出する工程を含むことを特徴とする、請求項 2 0 記載の不要輻射解析方法。

【請求項 2 2】 前記補正係数を算出する工程は、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておく数式によって処理し補正係数を算出する工程を含むことを特徴とする請求項 2 0 記載の不要輻射解析方法。

【請求項 2 3】 前記補正処理工程は、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正を加える工程を含むことを特徴とする、請求項 2 0 記載の不要輻射解析方法。

【請求項 2 4】 前記補正処理工程は、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正を加えることを特徴とする、請求項 2 0 記載の不要輻射解析方法。

【請求項 2 5】 前記補正係数を算出する工程は、電源回路の形状情報を利用して電源回路の抵抗情報からチップの等価抵抗を推定し、補正係数の算出工程を高速に行う工程を含むことを特徴とする請求項 2 0 記載の不要輻射解析方法。

【請求項 2 6】 論理シミュレーションの実行によって不要輻射量を解析する解析方法であって、

フロアプランの段階で、チップの電源回路の等価抵抗および等価容量を推定する工程と、前記等価抵抗および等価容量情報から補正係数を算出する工程と、理想電源としてあらかじめ求めた推定電流波形のイベント単位モデルに補正処理を加える工程を有することを特徴とする不要輻射解析方法。

【請求項 2 7】 前記等価抵抗・等価容量を推定する工程は、チップ面積を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項 2 6



## 記載の不要輻射解析方法

【請求項 2 8】 前記等価抵抗・等価容量を推定する工程は、さらに、テクノロジー情報を考慮して電源回路の抵抗および容量を推定することを特徴とする請求項 2 7 記載の不要輻射解析方法。

【請求項 2 9】 前記等価抵抗・等価容量を推定する工程は、さらに、チップ形状および電源パッドの位置を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項 2 7 記載の不要輻射解析方法。

【請求項 3 0】 前記等価抵抗・等価容量を推定する工程は、さらに電源パッド数を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項 2 7 記載の不要輻射解析方法。

【請求項 3 1】 前記等価抵抗・等価容量を推定する工程は、さらに、チップを構成する電源配線の幅情報を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項 2 7 記載の不要輻射解析方法。

【請求項 3 2】 前記等価抵抗・等価容量を推定する工程は、さらに、電源配線下の容量生成領域を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項 2 7 記載の不要輻射解析方法。

【請求項 3 3】 ポストレイアウト不要輻射解析におけるモジュール毎の電源線を考慮すべく、前記電流波形補正工程が、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなう工程を含むことを特徴とする請求項 2 0 乃至請求項 2 5 のいずれかに記載の不要輻射解析方法。

【請求項 3 4】 プリレイアウト不要輻射解析におけるモジュール毎の電源線を考慮すべく、前記電流波形補正工程が、チップ全体の等価抵抗および等価容量に代わり、チップを構成する各モジュールの位置情報および各モジュールの種類情報を考慮してモジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなう工程を含むことを特徴とする請求項 2 6 から請求項 3 2 のいずれかに記載の不要輻射解析方法。

【請求項 3 5】 前記電流波形補正工程が、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておくテーブルまたは数式によって処理し補正係数を算出する工程あるいは、

理想電源として求めた推定電流波形のイベント単位モデルの底辺または面積に補正を加える工程を含むことを特徴とする請求項 2 6 乃至請求項 3 2 および請求項 3 4 のいずれかに記載の不要輻射解析方法

【請求項 3 6】 不要輻射解析における電源線のインダクタンス成分を考慮すべく、

チップのパッケージ情報から電源リード部および電源ワイヤボンディング部に相当するインダクタンス成分を算出し、抵抗、容量に加え、第三の要素とする工程を含むことを特徴とする前記請求項 2 0 乃至請求項 3 5 のいずれかに記載の不要輻射解析方法。

【請求項 3 7】 不要輻射解析における理想電源の電流波形に対する電源線を考慮すべく、前記電流波形補正工程は、推定電流波形のイベント単位モデルに対して補正する工程に代えて、理想電源として求めた E M I 解析対象の電流波形に対して補正を行うことを特徴とする請求項 2 0 から請求項 3 6 記載の不要輻射解析方法。

【発明の詳細な説明】

【発明の属する技術分野】

【 0 0 0 1 】

本発明は、不要輻射 ( E M I : E l e c t r o m a g n e t i c I n t e r e f e r e n c e ) 解析方法に係り、特に、大規模でかつ高速駆動の L S I ( 大規模半導体集積回路 ) に対して高速かつ高精度の論理シミュレーションを行い、電磁輻射を解析する方法に関する。

【 0 0 0 2 】

【従来の技術】

L S I は、コンピュータはもちろんのこと、携帯電話等の通信機器、一般家庭製品や玩具、自動車まで利用範囲が拡大している。しかし、その一方で、これらの製品から生じる不要輻射がテレビ・ラジオ等の受信装置の電波障害や他システ

ムの誤動作の原因として問題になっている。これらの問題に対して、フィルタリングやシールドディングといった製品全体としての対策も施されているが、部品点数増大・コスト増大・製品上対策の難しさ等の観点より、L S I 単体としてのノイズ抑制が強く要請されている。

## 【 0 0 0 3 】

このような状況下、各製品において L S I はキーデバイスとして位置付けられおり、製品の競争力確保のために、L S I の大規模化・高速化が要求されている。製品サイクルが短くなる中で、これらの要求に答えるためには L S I 設計の自動化が必須であり、現状の設計自動化技術導入の条件として同期設計を採用する必要が高まっている。基準クロックに同期して全回路が動作し、大規模かつ高速駆動の L S I の場合には、その瞬時電流は非常に大きくなってしまいうことになり、不要輻射の増大を引起すことになる。

## 【 0 0 0 4 】

本発明は、L S I の大規模化・高速化を維持しつつも不要輻射を低減するために不可欠である E M I 評価が可能なシミュレーション手法に関するものである。

L S I が他へ被害を与えるノイズを大別すると、放射ノイズと伝導ノイズがある。L S I からの直接的な放射ノイズとして L S I の内部配線から放射されるノイズもあるが、内部配線はアンテナとしては大きくない。もちろん、L S I の動作周波数向上に伴い、L S I から直接的に放射されるノイズが将来的に問題となると思われるが、現時点においては L S I 内部の放射ノイズは問題になるレベルではない。

## 【 0 0 0 5 】

これに対して、伝導のノイズは、L S I 内のワイヤ、リードフレームやプリント基板上配線など直接的な接続を通じてプリント基板上の他のデバイスへ影響を与えるとともに、これらの接続経路を発信源すなわちアンテナとしてノイズを放射する。この接続経路よりなるアンテナは L S I 内部の配線と比べると非常に大きく、不要輻射を考える上で支配的な要素である。

## 【 0 0 0 6 】

L S I からの伝導ノイズの経路として、電源と信号があるが、近傍の電磁界を

考える場合、電源の電流の変化が電源線をアンテナとして輻射されるノイズが支配的であると考えられる。また、信号においては信号の変化時に生じるリングング・オーバーシュートが問題となる場合もあるが、LSI内部電源レベルの変動が信号波形として伝導することが問題となる場合が多い。電源・信号どちらの経路を伝導し放射されるノイズも、電源電流の変化と強く相関があると考えられる。

## 【0007】

簡単なインバータ回路を用いてCMOS回路の電源電流を説明する。インバータ回路への入力電圧が変化する場合に、CMOS回路の主な電源電流である負荷容量充放電電流が流れる。そして、これに加え貫通電流が加算して流れることになる。このようなCMOS回路を設計するにあたり、自動設計ツールを用いる上での制約により同期化しているが、同期化したことによりLSI全体の回路が同時に動作するため、基準クロックに同期して電源のピーク電流が発生する。しかも、高速化、すなわち周期を短縮するためには、短時間に充放電できるようにトランジスタを大きくするが、その結果としてピーク電流が増大する。当然、LSIが大規模化することによってもLSI全体の電源電流は増大する。このようにして、電源のピーク電流が増大し、電源電流が急峻な変化をするようになってきているが、この急峻な変化が高調波成分を増大させてしまい、不要輻射の増大を招いている。

## 【0008】

不要輻射の主要因とも言える電源電流の変化について高精度のシミュレーションを行うことが、LSIにおける不要輻射の評価として有効であると考えられる。

ところで従来は、以下に示すようにトランジスタレベルで電流解析を行う電流シミュレーション手法が用いられていた。

## 【0009】

図2は、トランジスタレベルの電流解析手法を用いた従来のEMI解析方法の処理フローを示したブロック図である。この方法では、解析対象となるLSIのレイアウト情報から、レイアウトパラメータ抽出（以下、LPEとする）処理2

03を行い、スイッチレベルネットリストについて回路シミュレーション206、電流源モデリング処理208、電源配線LPE処理210、過渡解析シミュレーション212、FFT処理214の各ステップを行うように構成されている。

#### 【0010】

以下、各ステップについて図2を参照しながら説明する。

ステップ203ではEMI解析対象となる半導体集積回路のレイアウトデータ201と、トランジスタ素子や各種配線寄生素子（抵抗、容量等）、各素子のパラメータ値、及びそれら抽出結果の出力形式を定義したLPEルール202が入力され、そのLPEルール202に基づきレイアウトデータ201における各素子のパラメータを算出し、ネットリスト204が生成される。尚、本ステップでは電源（及びグランド）配線の寄生素子については、抽出対象にしない。

#### 【0011】

ステップ206では前記ステップ203より生成されたネットリスト204と解析対象回路において所望の論理的動作を再現させるためのテストパターン205が入力され、内部回路の動作状態に応じた負荷容量充放電電流や貫通電流等を算出し、各トランジスタ毎の電流波形情報207が生成される。尚、本ステップの最初の処理では電源（及びグランド）電位を変動の無い理想電位と仮定して処理を行う。

#### 【0012】

ステップ208では前記ステップ206より生成されたトランジスタ毎の電流波形情報207が入力され、それぞれを以降のステップ212で適用できる形式にモデリングし、電流源素子モデル情報209が生成される。尚、以降のステップ212の処理負荷軽減のためにも、複数個のトランジスタで構成される機能回路ブロック毎に電流源素子としてモデリングする手法が一般的である。

#### 【0013】

ステップ210は前記ステップ203に対して、抽出対象がEMI解析対象となるトランジスタ素子や各種配線寄生素子から、電源及びグランド配線の寄生素子（抵抗、デカップリング容量等）に代わる点が異なるのみであるため説明を省略する。尚、本ステップにより電源（及びグランド）配線ネットリスト211が

生成される。

【0014】

ステップ212では前記ステップ208より生成された電流源素子モデル情報209と前記ステップ210より生成された電源（及びグランド）配線ネットリスト211とワイヤやリードフレームのインピーダンス（抵抗、容量、インダクタンス）216が入力され、SPICEに代表される過渡解析シミュレータを使用した解析により、解析対象回路の電源電圧変動を算出した電源電圧降下結果217が生成される。

【0015】

この後、前記ステップ206の再処理を行う。その際に、前記ステップ206の最初の処理では電源（及びグランド）電位を変動の無い理想電位と仮定したのに対して、ここでは前記ステップ212より生成された電源電圧降下結果217が入力され、電源電圧変動を考慮に入れた各トランジスタ毎の電流波形情報207が再度生成される。同様に前記ステップ208、212の再処理が行われる。

【0016】

この前記ステップ206、208、212のループ処理を複数回繰り返すことで、電源電圧変動をより高精度に再現させた電流波形結果213が生成される。ステップ214では前記ステップ212より生成された電流波形結果213が入力され、高速フーリエ変換（以下、FFTとする）を施すことにより、周波数スペクトラム解析を行なうことが可能となり、EMI解析結果215を得ることが出来る。

【0017】

この従来例では、LPE処理203、電源配線LPE処理210及び電流源モデリング処理208の合わせ込みによって検証精度は大きく左右するものの、一定レベルの解析精度が期待できる。しかし、このようなトランジスタレベルの電流解析にはSPICEに代表される過渡解析シミュレータを使用するため、EMI解析対象回路規模に制限があり処理時間も長大となる。半導体集積回路の大規模化が進んでいる近年、トランジスタレベルよりも抽象度が高く、高速解析が可能なEMI解析方法の確立が望まれている。

## 【0018】

そこで、高速化の可能なEMI電流解析方法として、ゲートレベルのEMI電流解析方法が提案されている。たとえばその1つとして、アイ・エス・ピー・デー&99第16ページ乃至第21ページ(EMI-NOISEANALYSIS UNDERASICDESIGNSENVIRONMENT' ISPD&99)に掲載されたエイ・エス・アイ・シーデザイン環境におけるEMI-ノイズ解析がある。この技術では、テストベクタを用いたゲートレベルシミュレーション結果からイベントを取得、電流波形推定を行いFFTを行って周波数解析を行うようにしている。すなわち、図3に示すようにベリログネットリスト(VerilogNetlist)301と、テストベクタ302とから論理シミュレーション303を行い、これによって算出されたイベントデータ304と、トグル時の波形情報306とから、波形推定ステップ305を実行し、この波形推定ステップから得られた推定電流波形307を、FFT処理し周波数特性を得るようにしている。この方法では従来のトランジスタレベルのEMI解析に比べて、高速化をはかることができる。

## 【0019】

しかしながら一般的には論理シミュレータにおいては電源・グランドを変動の無い理想電位として扱うため、電源及びグランドの抵抗、容量、インダクタンスによるデカップリングの影響を電源電流計算に反映することができない。もし、デカップリングの影響を考慮するならば、抵抗、容量、インダクタンスといった寄生素子を含む電源及びグランドのネットワークと論理シミュレーションにより求めた各素子の電流値を過渡解析する必要があり、処理に要する時間が激増する。

## 【0020】

しかも、チップの大規模化と素子数の増加により電源線のネットワークが大規模化しており、処理時間増大は不要輻射解析上大きな障害となりつつある。処理時間短縮のため、これら電源線の抵抗・容量に対するリダクション手段も提案もされているが、電源線が格子構造となるようなゲートアレイに限定される。

## 【0021】

また、電源電流値をFFTすることでEMI解析したとしても、FFT特性を設計者が判断するものとなっている。この手段では原因個所の特定に非常に時間がかかってしまうか、または不可能であり、また解析情報として、それを直接修正に反映させるものとしては、不十分であるという問題もある。

## 【 0 0 2 2 】

以上説明した通り、従来のLSIの不要輻射解析方法は、電源及びグランドの抵抗、容量、インダクタンスによるデカップリングの考慮と高速処理の両立という観点、不要輻射解析結果の設計への迅速な反映という観点において十分とは言えないものであった。

## 【 0 0 2 3 】

## 【発明が解決しようとする課題】

このように、トランジスタレベルの電流解析手法を用いた従来例では、一定レベルの解析精度が期待できるものの、トランジスタレベルの電流解析にはSPICEに代表される過渡解析シミュレータを使用するため、解析対象回路規模に制限があり処理時間も長大となる。半導体集積回路の大規模化が進んでいる近年、トランジスタレベルよりも抽象度が高く、高速解析が可能であるゲートレベルの電流解析手法を利用したEMI解析方法の確立が望まれる。

## 【 0 0 2 4 】

一方、ゲートレベル電流解析手法も提案されているが、電源及びグランドを変動の無い理想電位で扱えばデカップリング効果を考慮できず、またデカップリングを考慮するために寄生素子を含む電源及びグランドネットワークを過渡解析すれば解析時間が増大するという問題があった。

## 【 0 0 2 5 】

また、EMI解析したとしても、その主たる原因がどの回路にあるのかが不明であり、EMI改善のためにどの回路を修正することが有効であるのかが分からないという問題もある。

## 【 0 0 2 6 】

本発明は、前記実情に鑑みてなされたもので、高速解析しつつも、電源及びグランドの抵抗、容量、インダクタンスによるデカップリングの影響を電源電流計



算に反映することで、シミュレーション上において L S I の不要輻射を現実的な時間で評価することのできる不要輻射解析方法および装置を提供することを目的とする。

【 0 0 2 7 】

また、E M I 発生個所の特定を可能にし、効率的な対策を行うことを目的とする。

【 0 0 2 8 】

【課題を解決するための手段】

1) L S I の不要輻射解析における解析機能

本発明の第1では、論理シミュレーションの実行によって L S I の不要輻射量を解析する方法であって、周波数帯毎に、F F T 解析離散幅を割り当て、モデル化する工程と、前記モデル化する工程によって算出された電流変化情報を高速フーリエ変換処理する工程とを含むことを特徴とする。

【 0 0 2 9 】

本発明の第2では、L S I の不要輻射の解析に際し、F F T 解析の離散幅を変更する周波数帯を指定する離散幅変更周波数指定手段を有し、前記指定された周波数帯と前記周波数帯以外の周波数帯の F F T 解析離散幅に異なる値を用いて F F T 解析を行う手段を有することを特徴とする。

上記構成によれば、電流周波数成分が大きくなる周波数の精度を保ちながら高速かつ少メモリで F F T 結果を得ることが出来る。したがって、特にノイズの影響が周期的な繰り返しで決まってくるような同期回路に対しては高精度の解析結果を得ることができる。

【 0 0 3 0 】

本発明の第3では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、不要輻射解析対象回路の各時刻の電流計算と同時に電流周波数成分の計算を行なう工程を有することを特徴とする。

上記構成によれば、時間は従来例よりも多くかかるが、電流計算バッファに必要となるメモリを節約できるという効果が得られる。

【 0 0 3 1 】

本発明の第4では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、解析対象の時間範囲未満の時間間隔について、前記時間間隔の電流計算を行うごとに前記時間間隔の電流周波数成分の算出を行い、前記電流周波数成分をもとに全解析対象の時間範囲の電流周波数成分を計算する工程を含むことを特徴とする。

上記構成によれば、処理速度を落とすことなく、電流計算バッファに必要となるメモリを節約することが出来、全周波数帯域での周波数の精度を保ちながら従来例よりも高速かつ少メモリでFFT結果を得ることが出来るとともに、あらかじめ電流計算バッファに必要となるメモリが予測できるので、特にノイズの影響が周期的な繰り返しで決まってくる同期回路で高精度かつ安定動作となるという効果が得られる。

この方法は前記第1の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

#### 【 0 0 3 2 】

本発明の第5では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、電流周波数成分を演算し記憶する電流周波数記憶工程と、算出された電流周波数成分があらかじめ定めた閾値を超えるかどうかを判定し、この閾値に満たない電流周波数成分値は前記電流周波数成分記憶工程では記憶対象からはずすようにした判定工程を含むことを特徴とする。

上記構成によれば、より少メモリでFFT結果を得ることが出来、特に電流周波数成分の高い周波数が限られてくる回路でのメモリ節約率が高くなるという効果を奏効する。

この方法は前記第1、第2、第3の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

#### 【 0 0 3 3 】

本発明の第6では、論理シミュレーションの実行によって不要輻射量を解析する装置であって、電流周波数成分記憶工程と、電流周波数成分値を大きいものからあらかじめ定めた個数分のみ算出して前記電流周波数成分記憶手段に記憶する電流周波数成分計算工程とを有することを特徴とする。

上記構成によれば、より少メモリでFFT結果を得ることが出来、またあらかじめFFT結果情報に必要なメモリを予測することが出来るので、特に電流周波数成分の高い周波数の数を限定できる回路において安定動作となるという効果が得られる。

この方法は前記第1、第2、第3、第4の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

#### 【 0 0 3 4 】

本発明の第7では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網中のあらかじめ指定した回路部分のみの電流周波数成分を計算するようにしたことを特徴とする。

上記構成によれば、より高速となり、かつ原因個所の推定が容易となるという効果が得られる。

この方法は前記第1、第2、第3、第4、第5、第6の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

#### 【 0 0 3 5 】

本発明の第8では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網の1つ以上の回路部分について、電流量があらかじめ定めた閾値を超えると推定される前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする。

上記構成によれば、電流計算やFFTを省略出来、高速化をはかることができるとともに、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定が容易となるという効果を得ることができる。

この方法は前記第1、第2、第3、第4、第5、第6、第7の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

#### 【 0 0 3 6 】

本発明の第9では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網の2つ以上の回路部分について、電流量の推定値が

大きいものからあらかじめ定めた個数分の回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする。

上記構成によれば、電流計算や F F T をさらに省略することが出来、高速となるとともに、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定が容易となる。またあらかじめ電流計算に必要となるメモリを予測出来るので、特に電流量の高い回路素子の数を限定することができる回路において安定動作となるという効果が得られる。

この方法は前記第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8 の方法と組み合わせることで、さらに高速かつ少メモリで F F T 結果を得、原因個所推定を容易とすることが可能となる。

#### 【 0 0 3 7 】

本発明の第 1 0 では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網の 1 つ以上の回路部分について、論理変化回数があらかじめ定めた閾値を超える前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする。

上記構成によれば、論理変化計算の段階で計算量節約を決定することが出来る。従って、電流計算や F F T が省略され高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定することができ、原因個所推定が容易となるという効果が得られる。

この方法は前記第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9 の方法と組み合わせることで、さらに高速かつ少メモリで F F T 結果を得、原因個所推定を容易とすることが可能となる。

#### 【 0 0 3 8 】

本発明の第 1 1 では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網の 1 つ以上の回路部分について、論理変化回数が多いものからあらかじめ定めた個数分の前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする。

上記構成によれば、論理変化計算の段階で計算量節約を決定することが出来、電流計算や F F T を省略し高速化をはかることができる。また、論理変化数の大

きなノイズ原因となる個所を限定でき、原因個所推定が容易となる。またあらかじめ電流計算に必要となるメモリを予測出来るので、特に論理変化数の高い回路素子の数を限定できる回路において安定動作が可能となるという効果が得られる。

この方法は第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9、第 10 の実施の形態と組み合わせることで、さらに高速かつ少メモリで F F T 結果を得、原因個所推定を容易とすることが可能となる。

#### 【 0 0 3 9 】

本発明の第 12 では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、回路網の情報から対象回路網の論理変化回数を推定する工程と、対象回路網の 1 つ以上の回路部分について、論理変化回数に基づき決定された回路部分についてのみ電流周波数成分を計算する工程とを有することを特徴とする。

上記構成によれば、論理変化計算以前の段階で計算量節約を決定することが出来、論理変化計算や電流計算や F F T を省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定を容易とするという効果が得られる。

この方法は前記第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8 の方法と組み合わせることで、さらに高速かつ少メモリで F F T 結果を得、原因個所推定を容易とすることが可能となる。

#### 【 0 0 4 0 】

#### 2) L S I の不要輻射解析におけるユーザインターフェース

本発明の第 13 では、論理シミュレーションの実行によって不要輻射量を解析する装置において、ユーザインターフェースとして、各インスタンスごとの電流波形に対して F F T を行った結果より、ノイズの大きな各周波数成分毎にその主原因となる前記インスタンス名を特定する手段を有することを特徴とする。

上記構成によれば、ノイズに影響する箇所を回路素子単位のインスタンスで特定することが可能となるという効果を得ることができる。

#### 【 0 0 4 1 】

本発明の第 1 4 では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、ユーザインターフェースとして、1 つ以上のインスタンスを単位としたインスタンス群の電流波形に対して F F T を行った結果より、ノイズの大きな各周波数成分毎にその主原因となる前記インスタンス群を特定する手段を有することを特徴とする。

上記の構成によれば、ノイズに影響する箇所を 2 つ以上のインスタンスを単位とするブロック単位で特定するもので、前記第 1 3 のノイズの大きな各周波数成分毎にその主原因となる前記インスタンス名を特定する前段階でトップダウンでマクロ的に問題箇所を高速に特定することが可能となるという効果が得られる。

## 【 0 0 4 2 】

本発明の第 1 5 では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、ユーザインターフェースとして、インスタンスをライブラリに書かれたフラッグ情報に従ってグルーピングする手段、または、レジスタ・組み合わせ回路・メモリ等のインスタンス群ごとにグルーピングする手段を有することを特徴とする。

上記構成によれば、ノイズに影響する箇所をレジスタ・組み合わせ回路・メモリ等のインスタンス群ごとに特定する手段を有するもので、設計者がアーキテクチャーレベルでの改善をする上で必要な情報を提供できるという効果が得られる。

## 【 0 0 4 3 】

本発明の第 1 6 では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、インスタンスを各クロック入力端子に接続されるクロックツリーに属するか否かに従ってグルーピングする手段を有することを特徴とする。

上記構成によれば、ノイズに影響する箇所をクロックツリー群ごとに特定する手段を有するもので、電力に大きく影響するクロック部でのノイズの影響を見ることができ、設計者がクロック制御による改善を図るのに有効であるという効果が得られる。

## 【 0 0 4 4 】

本発明の第 1 7 では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、ユーザインターフェースとして、インスタンスを同時もしくはある時間間隔内に変化するタイミングを識別した結果に基づきグルーピングする手段を有することを特徴とする。

上記の構成によれば、ノイズに影響する箇所を、同時変化（ある時間間隔内に変化）するインスタンス群ごとに特定する手段を有するもので、信号同時変化箇所でのノイズの影響を見ることができ、設計者が信号制御関連の改善を図るのに有効である。

#### 【 0 0 4 5 】

本発明の第 1 8 では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、ユーザインターフェースとして、前記第 1 5 乃至第 1 7 でグループ化したグループ情報から、ノイズの大きな各周波数成分毎にその主原因となるインスタンス名を特定する情報、及びそのノイズレベルの情報をレポートする手段を有することを特徴とする。

上記構成によれば、ノイズに影響する箇所を 2 つ以上のインスタンスで構成されるブロック単位ではなく、各インスタンスレベルで特定することが可能となる。

#### 【 0 0 4 6 】

（実施例 1 4 ではレジスタ・組み合わせ回路・メモリブロック内の箇所、実施例 1 5 ではクロック入力端子からたどって判別したクロックツリー内の箇所、の実施例 1 6 ではノイズに影響する同時変化箇所の特定がそれぞれインスタンスレベルで可能となる。）

#### 【 0 0 4 7 】

また、各電流周波数成分のノイズの大きな箇所をネットリストに対応させて表示させることも可能であり、ネットリスト情報を、対応するレイアウト情報に置きかえることによってレイアウト上の位置情報に対応させて表示させることもできるという効果が得られる。

#### 【 0 0 4 8 】

本発明の第 1 9 では、論理シミュレーションの実行によって不要輻射量を解析

する解析装置において、ユーザインターフェースとして、あらかじめ決めておいた周波数についてのみFFTを行う手段を有することを特徴とする。

上記構成によれば、特定の周波数に対してより高速に、特定周波数に影響するノイズ原因箇所を特定することが可能となる。また、一旦一チップFFT解析を行った後の原因特定段階等のように、解析したい周波数が予め決まっている場合等に有効である。

#### 【 0 0 4 9 】

### 3) L S I の不要輻射解析における電源線考慮方法

本発明の第20では、論理シミュレーションの実行によって不要輻射量を解析する方法において、レイアウトデータからLPEを行い求めたチップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、補正係数を算出する工程と、理想電源としてあらかじめ求めた推定電流波形のイベント単位モデルに前記補正係数を用いて補正処理を加える工程からなる電流波形補正工程を含むことを特徴とする。

上記構成によれば、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、デカップリングの影響を電源電流値に反映させることができるという効果を得ることができる。

#### 【 0 0 5 0 】

本発明の第21では、前記請求項19の方法において、前記補正係数算出工程が、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておくテーブルによって処理し補正係数を算出する工程を含むことを特徴とする。

上記構成によれば、事前にテーブルを算出しておくことで、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、デカップリングの影響を電源電流値に反映させることができるという効果が得られる。

#### 【 0 0 5 1 】

本発明の第22では、請求項第20の方法において、前記補正係数算出工程が、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておいた数式によって処理し補正係数を算出する



工程を含むことを特徴とする。

・上記構成によれば、事前に統計処理により数式を算出しておくことで、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、デカップリングの影響を電源電流値に反映させることができるという効果を得ることができる。なお、情報の特質により数式とテーブルを使い分けることで、処理時間やデータ量の最適化が可能であるという効果を奏効する。

#### 【 0 0 5 2 】

本発明の第 2 3 は、前記請求項 2 0 において、前記電流波形補正工程が、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正を加える工程を含む事を特徴とする。

上記構成によれば、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正をおこない、電流波形の底辺を最適化することで、電源 RC 成分の影響による瞬時電流のなまりを電源電流波形に反映させることができる。

#### 【 0 0 5 3 】

本発明の第 2 4 の発明は、前記請求項 2 0 において、前記電流波形補正処理工程が、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正を加える工程を含むことを特徴とする。

上記構成によれば、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正をおこない、電流波形の面積を最適化することで、電源 RC 成分の影響による電源電圧降下 ( $IR - Drop$ ) の影響を電源電流波形に反映させることができる。

#### 【 0 0 5 4 】

本発明の第 2 5 は、前記請求項 2 0 の方法において、補正係数算出工程が、電源回路の形状情報を利用して電源回路の抵抗情報からチップの等価抵抗を推定し、補正係数の算出工程を高速に行う工程を含むことを特徴とする。

上記構成によれば、チップの電源回路の等価抵抗を算出する際に複雑な電源抵抗の回路網を解く必要がないため、精度は低下するものの、より高速な EMI 解析の実現が可能となるという効果が得られる。

#### 【 0 0 5 5 】

本発明の第 2 6 は、論理シミュレーションの実行によって不要輻射量を解析する方法において、フロアプランの段階で、チップの電源回路の等価抵抗および等価容量を推定する工程と、前記等価抵抗および等価容量情報から補正係数を算出する工程と、理想電源としてあらかじめ求めた推定電流波形のイベント単位モデルに補正処理を加える工程を有することを特徴とする。

上記構成によれば、レイアウトの完成を待たず、早期設計段階において電源線の影響を電源電流値に反映させることができるという効果が得られる。

#### 【 0 0 5 6 】

本発明の第 2 7 では、前記請求項 2 6 の方法において、電源回路の等価抵抗・等価容量推定工程がチップ面積を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。

上記構成によれば、チップ面積情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析が実現できるという効果を得ることができる。

#### 【 0 0 5 7 】

本発明の第 2 8 は、前記請求項 2 6 の方法において、電源回路の等価抵抗・等価容量推定工程が、さらにテクノロジー情報を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。

上記構成によれば、テクノロジー情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析を実現することができ、またテクノロジーごとにデータベースを用意する必要がないメリットもある。

#### 【 0 0 5 8 】

本発明の第 2 9 は、前記請求項 2 7 の方法において、電源回路の等価抵抗・等価容量推定工程がさらに、チップ形状および電源パッドの位置を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。

上記構成によれば、チップ形状および電源パッドの位置情報を用いることで、早期設計段階においてさらに高精度に電源線の影響を考慮した E M I 解析が実現できるという効果を得ることができる。

#### 【 0 0 5 9 】

本発明の第 3 0 は、前記請求項 2 7 の方法において、電源回路の等価抵抗・等価容量推定工程がさらに、電源パッド数を考慮して電源回路の抵抗および容量を推定することを特徴とする。

上記構成によれば、電源パッド数情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析が実現でき、また電源パッド数の E M I に対する最適化をフロアプランの段階で行うことが可能となる。

#### 【 0 0 6 0 】

本発明の第 3 1 は、前記請求項 2 7 の方法において、電源回路の等価抵抗・等価容量推定工程が、チップを構成する電源配線の幅情報を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。

上記構成によれば、チップを構成する電源配線の幅情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析が実現でき、また電源配線幅の E M I に対する最適化をフロアプランの段階で行うことが可能となるという効果が得られる。

#### 【 0 0 6 1 】

本発明の第 3 2 は、前記請求項 2 6 の方法において、電源回路の等価抵抗・等価容量推定工程として、さらに電源配線下の容量生成領域を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。

上記構成によれば、電源配線下の容量生成領域情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析が実現でき、また容量生成の E M I に対する最適化をフロアプランの段階で行うことが可能となるという効果を得ることができる。

#### 【 0 0 6 2 】

本発明の第 3 3 は、ポストレイアウト不要輻射解析におけるモジュール毎の電源線考慮方法として、前記請求項 2 0、請求項 2 1 乃至請求項 2 5 の電流波形補正工程において、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことを特徴とする。

上記構成によれば、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、早期設計の各種段階において予測されるデカップリング容量を含む電源線の影響を電源電流値に反映させることができる。また、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことができる。さらにまた、モジュールごとにFFT解析をおこなう場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶しFFT解析に用いることで、高精度なモジュールごとのEMI解析が実現可能となるという効果を得ることができる。

## 【 0 0 6 3 】

本発明の第34は、ブリレイアウト不要輻射解析におけるモジュール毎の電源線考慮方法として、前記請求項26から請求項32において、電流波形補正工程が、チップ全体の等価抵抗および等価容量に代わり、チップを構成する各モジュールの位置情報および各モジュールの種類情報を考慮してモジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれぞれ補正係数を算出することで、工程を含むことを特徴とする。

上記構成によれば、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことが可能となるという効果が得られる。

## 【 0 0 6 4 】

本発明の第35は、前記請求項26から請求項32および請求項34の不要輻射解析方法に対し、前記請求項21から請求項24の電流波形補正手段を取ることを特徴とする。

上記の構成によれば、ブリレイアウトの段階で、各種電源電流波形の補正をおこなうことができるという効果が得られる。

## 【 0 0 6 5 】

本発明の第36は、不要輻射解析における電源線のインダクタンス成分考慮方法として、前記請求項20から請求項35の方法において、チップのパッケージ情報から電源リード部および電源ワイヤボンディング部に相当するインダクタンス成分を算出し、抵抗、容量に加え、第三の要素とすることを特徴とする。

上記の構成によれば、チップのパッケージのインダクタンス成分を考慮した高精度な電流補正が可能となるという効果が得られる。

#### 【 0 0 6 6 】

本発明の第 3 7 は、不要輻射解析における理想電源の電流波形に対する電源線考慮方法として前記請求項 2 0 から請求項 3 6 において、前記電流波形補正工程が、推定電流波形のイベント単位モデルに対して補正する手法に代わり、理想電源として求めた E M I 解析対象の電流波形に対して補正を行う工程を含むことを特徴とする。

上記構成によれば、理想電源として求めたチップまたはモジュールの電源電流波形に補正を行うため、チップまたはモジュールの電源電流を算出する段階まで処理を進めることが可能となり、レイアウト完成前あるいはフロアプラン工程前に作業を進めることで E M I 解析全体の短 T A T 化が実現可能となる。また、トランジスタレベルでの E M I 解析においても、電流波形の補正をおこない電源線の影響を考慮するという手法を使うことが可能である。

#### 【 0 0 6 7 】

##### 【発明の実施の形態】

以下、本発明に係る不要輻射解析方法の実施形態について説明する。

図 1 は、本発明に係わる不要輻射解析方法を実施するための不要輻射解析装置の一実施例を示す図である。

この不要輻射解析装置は、電源を考慮した演算に関わる各構成要素の各ステップの処理を行うための電源考慮演算部 1 0 1 と、周波数変換 F F T に関わる各構成要素の各ステップの処理を行うための F F T 演算部 1 0 6 と、ユーザインターフェースの演算に関わる各構成要素の各ステップの処理を行うための入出力演算部 1 0 7 と、キーボード等の入力装置 1 0 3 と、メモリ装置やディスク装置等の外部記憶装置 1 0 4 と、ディスプレイ等の出力装置 1 0 5 等を備えたコンピュータシステムとを具備してなるものである。電源考慮演算部 1 0 1 と、F F T 演算部 1 0 6 と、入出力演算部 1 0 7 は単独で使用することも、あるいは相互連携しながら使用することも、あるいは本発明記載以外の演算部の内容と組み合わせて使用することも可能である。

## 【 0 0 6 8 】

・ F F T 演算部 1 0 4 においては、対象の回路網に関して、後述の電源電流値を計算したり、F F T 演算を行ったりし、電源電流の変動により発生する不要輻射のノイズ量（電流周波数成分）を計算する。電源考慮演算部 1 0 1 は、F F T 演算部 1 0 4 について計算された電源電流値や F F T 結果に対して電源配線の抵抗や容量やリアクタンスの影響を加味して補正を行う。入出力演算部 1 0 7 は F F T 演算部 1 0 4 の計算した F F T 結果に対して、不要輻射解析を容易にするように変換を行う。

## 【 0 0 6 9 】

（第 1 の実施の形態）

従来の L S I における E M I 解析では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化を F F T 解析することにより求めていたが、F F T の解析幅が均一であるため、情報を記憶するためのメモリ、解析にかかる時間が余計にかかるという問題があった。

そこで、均一な解析幅で行われていた周波数解析を、本実施例では、あらかじめ用意し、ピークの予測される周波数の解析結果を詳細に、それ以外を粗く解析する手法を用いるようにしたことを特徴とする。

## 【 0 0 7 0 】

図 6 に本発明の一実施例に関わる不要輻射解析方法の構成を示す。

同図に示す不要輻射解析方法は、詳細周波数記憶手段 6 0 1 と、電源電流情報記憶手段 6 0 2 と、F F T 解析手段 6 0 3 と、F F T 結果記憶手段 6 0 4 とからなる。

## 【 0 0 7 1 】

これらのうち、詳細周波数記憶手段 6 0 1 と、電源電流情報記憶手段 6 0 2 と、F F T 結果記憶手段 6 0 4 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

## 【 0 0 7 2 】

一方、F F T 解析手段 6 0 3 は前述のコンピュータシステムの F F T 演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

## 【 0 0 7 3 】

次に、これらの図 6 の不要輻射解析方法を構成する個々の要素について説明するとともに、図 7 に示す詳細周波数情報と、図 8 に示す電源電流情報とを用いて不要輻射を解析する手順を説明する。

## 【 0 0 7 4 】

詳細周波数記憶手段 6 0 1 は、詳細に解析したい 1 つ以上の周波数の範囲の情報であって、あらかじめ図 7 に示すような詳細周波数情報を記憶している。

## 【 0 0 7 5 】

この詳細周波数情報は、開始周波数 7 0 1 と終了周波数 7 0 2 とからなる詳細に解析を行う 1 つ以上の周波数範囲の情報から構成されている。

この例では、4 5 M H z から 5 5 M H z の範囲と、9 5 M H z から 1 0 5 M H z の範囲を通常の周波数離散幅 5 M H z で解析し、それ以外の範囲 0 M H z から 4 5 M H z 、5 5 M H z から 9 5 M H z 、1 0 5 M H z 以上を粗い解析周波数離散幅 2 5 M H z で解析することを示している。同期回路においては、特に詳細に解析しなければならない、電流周波数成分が大きくなる周波数が、クロック周波数の倍数で決まってくるので、この周波数近辺を指定する。

## 【 0 0 7 6 】

電源電流情報記憶手段 6 0 2 は、あらかじめ図 8 に示すようなトランジスタシミュレータ等で推定した E M I 解析対象回路の電源電流情報を記憶している。

この電源電流情報は、各時刻 8 0 1 と電源電流値 8 0 2 とからなる対象回路の 1 つ以上の電源電流変化情報から構成されている。

この例では、時刻 0 n s から 9 5 n s までは電流 0 m A 、時刻 9 5 n s から 1 0 0 n s までは 2 0 m A といった電流の変化を離散的に推定した結果を示している。

## 【 0 0 7 7 】

F F T 結果記憶手段 6 0 4 は、図 9 に示すような F F T 解析手段 6 0 3 で計算された F F T 結果情報を記憶するものである。

この F F T 結果情報は、各周波数 9 0 1 と電流周波数成分値 9 0 2 とからなる対象回路の 1 つ以上の F F T 結果情報から構成されている。

この例では、0 MHz の電流周波数成分値が 1 0 m A、2 5 MHz の電流周波数成分値が 1 m A といった、離散的な周波数における電流周波数成分値を示している。

#### 【 0 0 7 8 】

F F T 解析手段 6 0 3 は、図 1 0 に示すようなフローチャートに従って解析操作を実行する。

ステップ 1 0 0 1 で詳細周波数記憶手段 6 0 1 に記憶された図 7 に示す詳細周波数情報を読みこむ。

ステップ 1 0 0 2 で電源電流情報記憶手段 6 0 2 に記憶された図 8 に示す電源電流情報を読みこむ。

ステップ 1 0 0 3 で、図 7 に示した詳細周波数情報の範囲であれば、あらかじめ定めた通常の解析周波数離散幅 5 MHz で、それ以外は粗い解析周波数離散幅 2 5 MHz で周波数解析を行う。

ステップ 1 0 0 4 で、図 9 に示した F F T 結果を F F T 結果記憶手段 6 0 4 に記憶する。

#### 【 0 0 7 9 】

これにより、図 9 に示すような、4 5 MHz から 5 5 MHz の範囲と、9 5 MHz から 1 0 5 MHz の範囲を通常の周波数離散幅 5 MHz で解析し、それ以外の範囲 0 MHz から 4 5 MHz、5 5 MHz から 9 5 MHz、1 0 5 MHz 以上を粗い解析周波数離散幅 2 5 MHz で解析された F F T 結果が得られる。

#### 【 0 0 8 0 】

図 4 に示す従来手法では、詳細周波数記憶手段が無く、F F T 解析は通常の離散幅 5 MHz で均一に行ってきた。図 8 に示す同じ電源電流情報を用いた場合、F F T 結果は図 5 に示すように大きなメモリを占有し、また F F T を行うための計算量も増える。

#### 【 0 0 8 1 】

本実施例に示した方法では、ノイズに影響する周波数である詳細周波数以外の周波数に関する周波数解析に関する解析点数を減らし演算量を節約することにより、電流周波数成分が大きくなる周波数の精度を保ちながら従来例よりも高速か



つ少メモリでFFT結果が得ることが出来、特にノイズの影響が周期的な繰り返しで決まってくる同期回路で高精度となる。

## 【 0 0 8 2 】

(第2の実施の形態)

従来のLSIにおけるEMI解析では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化をFFT解析することにより求めていたが、この場合、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリ、解析にかかる時間が余計にかかるという問題があった。

## 【 0 0 8 3 】

そこで本実施例では、この問題を解決するため、周波数解析を電流計算とともに逐次解析する手法を用いる。

図11に本発明の一実施例に関わる不要輻射解析方法に用いられる装置構成を示す。この不要輻射解析装置は、ネットリスト記憶手段1101と、テストベクタ記憶手段1102と、電流FFT解析手段1103と、FFT結果記憶手段1104とからなる。

## 【 0 0 8 4 】

これらのうち、ネットリスト記憶手段1101と、テストベクタ記憶手段1102と、FFT結果記憶手段1104とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

一方、電流FFT解析手段1103は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

## 【 0 0 8 5 】

次に、これらの図11の不要輻射解析方法を構成する個々の要素について説明するとともに、図12に示すネットリスト情報と、図13に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。

ネットリスト記憶手段1101は、あらかじめ図12に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

## 【 0 0 8 6 】

このネットリスト情報は、1つ以上の回路素子と配線と外部端子の接続情報と各回路素子が駆動した時の電流の情報から構成されている。

この例では、立ち上がり時4 mA、立下り時6 mA流れるバッファBUF 1、BUF 2、BUF 3、BUF 4、BUF 5と外部入力端子A、外部出力端子Y 1、Y 2、Y 3とそれぞれを接続する配線からネットリストが構成されている。

テストベクタ記憶手段1102は、あらかじめ図13に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。

#### 【0087】

このテストベクタ情報は、各時刻1301と、入力する外部入力端子名1302と、各時刻における対象回路の外部端子の電圧情報1303から構成されている。

この例では、時刻0 nsから90 nsにおいて外部入力端子Aに電圧値0 Vをかけ、90 nsから190 nsまで外部入力端子Aに電圧値2.5 Vをかけるといった電圧の変化を離散的に指定したものを示している。

#### 【0088】

FFT結果記憶手段1104は、第1の実施の形態に示した従来例と同様に図5に示すような電流FFT解析手段1103で計算されたFFT結果情報を記憶するものである。

このFFT結果情報は、各周波数501と電流周波数成分値502とからなる対象回路の1つ以上のFFT結果情報から構成されている。

#### 【0089】

この例では、0 MHzの電流周波数成分値が10 mA、5 MHzの電流周波数成分値が1 mAといった、離散的な周波数における電流周波数成分値を示している。

電流FFT解析手段1103は、図15に示すようなフローチャートに従って解析操作を実行する。

#### 【0090】

まず、ステップ1501でネットリスト記憶手段1101に記憶された図12に示すネットリスト情報を読みこむ。

次いで、ステップ1502でテストベクタ記憶手段1102に記憶された図13に示すテストベクタ情報を読みこむ。

#### 【0091】

こののち、ステップ1503で、テストベクタ情報の最初の時刻（現時刻と記す）を選択する。

そして、ステップ1504からステップ1506まではテストベクタに記載された最終時刻を処理し終わるまで繰り返される。

さらに、ステップ1504で、現時刻の電圧値をネットリストの外部端子に印加した影響で回路網に流れる電源電流の時間的な変化  $i(t)$  を計算する。

#### 【0092】

こののち、ステップ1505で、ステップ1504で計算された電源電流値  $i(t)$  の各電流周波数成分  $i(t) \times \sin(\omega t)$  を計算し、FFT結果記憶情報に記憶する。

最後に、ステップ1506で、現時刻がテストベクタの最終時刻かどうかを判断し、最終時刻でなければステップ1504に戻り、最終時刻であれば終了する。

#### 【0093】

この手順では、電流を計算するとともに逐次計算された電流の各周波数成分を計算することとなるので、図4の従来例の結果図5と同じ結果でありながら、FFTを解析する過程で必要となる解析時間内の電流変化を記憶する電源電流情報記憶手段402が不要となる。

#### 【0094】

ただし、周波数成分を計算する方法としては、FFTと異なり、 $i(t) \times \sin(\omega t)$  を用いた演算量は増えるので、処理速度自体は若干低下する。

以上の方法により、電源電流を計算するとともに電流周波数成分を計算することにより、時間は従来例よりもかかるが、電流計算バッファに必要となるメモリを節約することが出来る。

#### 【0095】

（第3の実施の形態）

従来の L S I における E M I 解析方法では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析時間全体に付いて一度に解析した電流の変化を F F T 解析することにより求めていたが、この方法では、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが必要になるという問題があった。

## 【 0 0 9 6 】

そこで本実施例では、この問題を解決するため、周波数解析を電流計算とともにある区間ごとに解析する手法を用いる。

## 【 0 0 9 7 】

図 1 6 に本発明の一実施例に関わる不要輻射解析方法で用いられる装置構成を示す。

## 【 0 0 9 8 】

同図に示す不要輻射解析装置は、ネットリスト記憶手段 1 6 0 1 と、テストベクタ記憶手段 1 6 0 2 と、電流 F F T 解析手段 1 6 0 3 と、F F T 結果記憶手段 1 6 0 4 とからなる。

これらのうち、ネットリスト記憶手段 1 6 0 1 と、テストベクタ記憶手段 1 6 0 2 と、F F T 結果記憶手段 1 6 0 4 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

## 【 0 0 9 9 】

一方、電流 F F T 解析手段 1 6 0 3 は前述のコンピュータシステムの F F T 演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

## 【 0 1 0 0 】

次に、これらの図 1 6 の不要輻射解析方法を構成する個々の要素について説明するとともに、図 1 2 に示すネットリスト情報と、図 1 3 に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。

ネットリスト記憶手段 1 1 0 1 は、第 2 の実施の形態と同様にあらかじめ図 1 2 に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

テストベクタ記憶手段 1 6 0 2 は、第 2 の実施の形態と同様にあらかじめ図 1 3 に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。

電流値記憶手段 1 6 0 5 は、図 1 7 に示すような電流 F F T 解析手段 1 6 0 3 で計算された電源電流情報を記憶するものである。

この電源電流情報は、あらかじめ定めた時間幅 2 0 0 n s ごとの各時刻 1 7 0 1 と電流値 1 7 0 2 とからなる対象回路の 1 つ以上の電源電流情報から構成されている。

0 n s から 2 0 0 n s までは 1 7 0 3、2 0 0 n s から 4 0 0 n s までは 1 7 0 4、4 0 0 n s 以降は 1 7 0 5 で示された電源電流情報を記憶する。

F F T 結果記憶手段 1 6 0 4 は、第 2 の実施の形態と同様に図 5 に示すような電流 F F T 解析手段 1 6 0 3 で計算された F F T 結果情報を記憶するものである。

#### 【 0 1 0 1 】

電流 F F T 解析手段 1 6 0 3 は、図 1 8 に示すようなフローチャートに従って解析操作を実行する。

まず、ステップ 1 8 0 1 でネットリスト記憶手段 1 6 0 1 に記憶された図 1 2 に示すネットリスト情報を読みこむ。

次に、ステップ 1 8 0 2 でテストベクタ記憶手段 1 6 0 2 に記憶された図 1 3 に示すテストベクタ情報を読みこむ。

さらに、ステップ 1 8 0 3 で、テストベクタ情報の最初の時刻（現時刻と記す）を選択する。

そして、ステップ 1 8 0 4 からステップ 1 8 0 8 まではあらかじめ定めた時間間隔を処理し終わるまで繰り返される。

この後、ステップ 1 8 0 4 で、現時刻が前回周波数解析を行った時からあらかじめ定めた時間間隔を超えているかどうかを判断し、超えていればステップ 1 8 0 7 に進む。

さらに、ステップ 1 8 0 5 で、現時刻の電圧値をネットリストの外部端子に印加した影響で回路網に流れる電源電流の時間的な変化を計算する。

また、ステップ 1 8 0 6 で、現時刻がテストベクタの最終時刻かどうかを判断し、最終時刻でなければステップ 1 8 0 4 に戻り、最終時刻であればステップ 1 8 0 7 に進む。

そして、ステップ 1 8 0 7 で、あらかじめ定めた時間間隔の電流値に対して F F T を行い、F F T 結果情報に加算して記憶する。

この後、ステップ 1 8 0 8 で、現時刻がテストベクタの最終時刻かどうかを判断し、最終時刻でなければステップ 1 8 0 4 に戻り、最終時刻であれば終了する。

すなわち、従来例のように全時刻で電流を全て計算してから F F T を行うのではなく、2 0 0 n s づつ電流計算を行うごとに、F F T 結果を行った結果を足し合わせる方法を用い、従来例と同様の F F T 結果を算出する。

#### 【 0 1 0 2 】

図 1 7 で示す電源電流情報を 0 n s から 2 0 0 n s までは 1 7 0 3、2 0 0 n s から 4 0 0 n s までは 1 7 0 4、4 0 0 n s 以降は 1 7 0 5 で示す形で計算し、その各々で計算された F F T 結果を随時加算した結果、図 5 で示す F F T 結果が得られる。

#### 【 0 1 0 3 】

以上の方法により、電源電流をあらかじめ定めた時間間隔で計算することにより、電流周波数成分を計算することにより、

処理速度を低下することなく、電流計算バッファに必要となるメモリを節約することが出来、全周波数帯域での周波数の精度を保ちながら従来例よりも高速かつ少メモリで F F T 結果を得ることが出来るとともに、あらかじめ電流計算バッファに必要となるメモリが予測できるので、特にノイズの影響が周期的な繰り返しで決まってくる同期回路で高精度かつ安定動作となる。

#### 【 0 1 0 4 】

この方法は第 1 の実施の形態と組み合わせることで、さらに高速かつ少メモリで F F T 結果を得ることが可能となる。

#### 【 0 1 0 5 】

(第 4 の実施の形態)

従来の L S I における E M I 解析では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化を F F T 解析することにより求めていた。この方法では、あらかじめ決めた F F T の離散値ごとの全ての電流周波数成分値を保存するため、情報を記憶するためのメモリが余計にかかるという問題があった。

## 【 0 1 0 6 】

そこで本実施例では、この問題を解決するため、周波数解析において、電流周波数成分値が閾値を超える値のみを記憶する手法を用いる。

図 1 9 に本発明の一実施例に関わる不要輻射解析方法で用いられる装置構成を示す。同図に示す不要輻射解析装置は、電源電流情報記憶手段 1 9 0 5 と、F F T 解析手段 1 9 0 3 と、F F T 結果記憶手段 1 9 0 4 とからなる。

## 【 0 1 0 7 】

これらのうち、電源電流情報記憶手段 1 9 0 5 と、F F T 結果記憶手段 1 9 0 4 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

一方、F F T 解析手段 1 9 0 3 は前述のコンピュータシステムの F F T 演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

## 【 0 1 0 8 】

次に、これらの図 1 9 の不要輻射解析方法を構成する個々の要素について説明するとともに、図 8 に示す電源電流情報を用いて不要輻射を解析する手順を説明する。

電源電流情報記憶手段 1 9 0 5 は、第 1 の実施の形態と同様にあらかじめ図 8 に示すようなトランジスタシミュレータ等で推定した E M I 解析対象回路の電源電流情報を記憶している。

## 【 0 1 0 9 】

この電源電流情報は、各時刻 8 0 1 と電源電流値 8 0 2 とからなる対象回路の 1 つ以上の電源電流変化情報から構成されている。

F F T 結果記憶手段 1 9 0 4 は、図 2 0 に示すような電流 F F T 解析手段 1 9 0 3 で計算された F F T 結果情報を記憶するものである。

## 【 0 1 1 0 】

このFFT結果情報は、電流周波数成分値が閾値を超える各周波数2001と電流周波数成分値2002とからなる対象回路の1つ以上のFFT結果情報から構成されている。

この例では、閾値10mAを超えたものとして0MHzの電流周波数成分値が10mA、45MHzの電流周波数成分値が30mAといった、離散的な周波数における電流周波数成分値を示しており、第1の実施の形態の図9に示すようなFFT解析結果に含まれる25MHzの電流周波数成分値が1mAといった10mA未満の情報は除かれている。

## 【 0 1 1 1 】

電流FFT解析手段1903は、図21に示すようなフローチャートに従って解析操作を実行する。

まず、ステップ2101で電源電流情報記憶手段1601に記憶された図12に示すネットリスト情報を読みこむ。

## 【 0 1 1 2 】

次いで、ステップ2102で、電源電流情報に対してFFTを行い、あらかじめ定めた閾値10mAを超えたもののみのFFT結果情報に記憶する。

すなわち、従来例のように全てのFFT解析結果を出力するのではなく、あらかじめ定めた閾値10mAを超えたもののみの出力している。

## 【 0 1 1 3 】

以上の方法により、閾値を超えた電流周波数成分のみを計算することにより、従来例よりも少メモリでFFT結果を得ることが出来、特に電流周波数成分の高い周波数が限られてくる回路でのメモリ節約率が高くなる。

この方法は第1、第2、第3の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

## 【 0 1 1 4 】

(第5の実施の形態)

従来のLSIにおけるEMI解析では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化をFFT解析することにより求めていた



が、この方法では、あらかじめ決めた F F T の離散値ごとの全ての電流周波数成分値を保存するため、情報を記憶するためのメモリが余計にかかるという問題があった。

## 【 0 1 1 5 】

そこで、本実施例では、この問題を解決するため、周波数解析において、電流周波数成分値が値の大きいものからあらかじめ定めた個数分のみを記憶する手法を用いる。

図 2 2 に本発明の一実施例に関わる不要輻射解析方法で用いられる装置構成を示す。

## 【 0 1 1 6 】

同図に示す不要輻射解析装置は、電源電流情報記憶手段 2 2 0 5 と、F F T 解析手段 2 2 0 3 と、F F T 結果記憶手段 2 2 0 4 とからなる。

これらのうち、電源電流情報記憶手段 2 2 0 5 と、F F T 結果記憶手段 2 2 0 4 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

F F T 解析手段 2 2 0 3 は前述のコンピュータシステムの F F T 演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

## 【 0 1 1 7 】

次に、これらの図 2 2 の不要輻射解析方法を構成する個々の要素について説明するとともに、図 8 に示す電源電流情報を用いて不要輻射を解析する手順を説明する。

電源電流情報記憶手段 2 2 0 5 は、第 1 の実施の形態と同様にあらかじめ図 8 に示すようなトランジスタシミュレータ等で推定した E M I 解析対象回路の電源電流情報を記憶している。

この電源電流情報は、各時刻 8 0 1 と電源電流値 8 0 2 とからなる対象回路の 1 つ以上の電源電流変化情報から構成されている。

## 【 0 1 1 8 】

F F T 結果記憶手段 2 2 0 4 は、図 2 3 に示すような電流 F F T 解析手段 2 2 0 3 で計算された F F T 結果情報を記憶するものである。

この F F T 結果情報は、電流周波数成分値が閾値を超える各周波数 2 3 0 1 と

電流周波数成分値 2 3 0 2 とからなる対象回路の 1 つ以上の F F T 結果情報から構成されている。

## 【 0 1 1 9 】

この例では、電流周波数成分値が大きいものから 6 個分として 5 0 M H z の電流周波数成分値が 7 0 m A、1 0 0 M H z の電流周波数成分値が 5 0 m A といった、離散的な周波数における電流周波数成分値を示しており、第 1 の実施の形態の図 9 に示すような F F T 解析結果に含まれる 2 5 M H z の電流周波数成分値が 1 m A といった電流周波数成分値が大きいものから 6 個分以内に入らない情報は除かれている。

## 【 0 1 2 0 】

そして、電流 F F T 解析手段 2 2 0 3 は、図 2 4 に示すようなフローチャートに従って解析操作を実行する。

まず、ステップ 2 4 0 1 で電源電流情報記憶手段 1 6 0 1 に記憶された図 1 2 に示すネットリスト情報を読みこむ。

ついで、ステップ 2 4 0 2 で、電源電流情報に対して F F T を行い、電流周波数成分値が大きいものからあらかじめ定めた個数 6 個分のみ F F T 結果情報に記憶する。

すなわち、従来例のように全ての F F T 解析結果を出力するのではなく、あらかじめ定めた個数 6 個分のみ出力し、図 2 3 に示す F F T 結果を得ることが出来る。

## 【 0 1 2 1 】

以上の方法により、記憶する個数を限定することにより、従来例よりも少メモリで F F T 結果を得ることが出来、またあらかじめ F F T 結果情報に必要となるメモリを予測出来るので、特に電流周波数成分の高い周波数の数を限定できる回路において安定動作となる。

この方法は第 1、第 2、第 3、第 4 の実施の形態と組み合わせることで、さらに高速かつ少メモリで F F T 結果を得ることが可能となる。

## 【 0 1 2 2 】

(第 6 の実施の形態)

この実施例では、従来の L S I における E M I 解析における、解析対象の電流を測定するのみで E M I の原因となる個所を把握するための機能が十分でないという問題を解決すべく、E M I 解析対象を限定して行う手法を用いている。

図 2 7 に本発明の一実施例に関わる不要輻射解析方法に用いられる装置構成を示す。同図に示す不要輻射解析装置は、E M I 解析対象記憶手段 2 7 0 5 と、ネットリスト記憶手段 2 7 0 1 と、テストベクタ記憶手段 2 7 0 2 と、電流 F F T 解析手段 2 7 0 3 と、F F T 結果記憶手段 2 7 0 4 とからなる。これらの装置のうち、ネットリスト記憶手段 2 7 0 1 と、E M I 解析対象記憶手段 2 7 0 5 と、テストベクタ記憶手段 2 7 0 2 と、F F T 結果記憶手段 2 7 0 4 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

#### 【 0 1 2 3 】

一方、電流 F F T 解析手段 2 7 0 3 と、E M I 解析対象限定手段 2 7 1 0 7 とは前述のコンピュータシステムの F F T 演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

次に、これらの図 2 7 の不要輻射解析方法を構成する個々の要素について説明するとともに、図 2 6 に示す E M I 解析対象情報と、図 2 5 に示すネットリスト情報と、図 1 3 に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。

#### 【 0 1 2 4 】

まず、ネットリスト記憶手段 2 7 0 1 は、あらかじめ図 2 5 に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

このネットリスト情報は、1 つ以上の回路素子と配線と外部端子の接続情報と各回路素子が駆動した時の電流の情報から構成されている。

この例では、立ち上がり時 4 m A、立下り時 6 m A 流れるバッファ B U F 1、B U F 2、B U F 3、B U F 4、B U F 5 と立ち上がり時 1 m A、立下り時 2 m A 流れるバッファ B U F 6 と、外部入力端子 A、外部出力端子 Y 1、Y 2、Y 3 とそれぞれを接続する配線からネットリストが構成されている。

#### 【 0 1 2 5 】

テストベクタ記憶手段 2 7 0 2 は、第 2 の実施の形態と同様にあらかじめ図 1

3に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。

EMI解析対象記憶手段2705は、図26に示すようなEMI解析対象限定手段27107で計算されたEMI解析対象を記憶するものである。このEMI解析対象情報は、EMI解析対象となる回路素子名から構成されている。なお、この回路素子名はブロック名などの複数の回路素子を示すものでも良い。

#### 【0126】

この例では、解析対象回路素子BUF1、BUF2、BUF3、BUF4、BUF5が記憶されている。

FFT結果記憶手段2704は、図14に示すような電流FFT解析手段2903で計算されたFFT結果情報を記憶するものである。

このFFT結果情報は、回路素子BUF1、BUF2、BUF3、BUF4、BUF5の全電源電流に関する各周波数1401と電流周波数成分値1402とからなる対象回路の1つ以上のFFT結果情報から構成されている。

#### 【0127】

この例では、0MHzの電流周波数成分値が10mA、5MHzの電流周波数成分値が1mAといった、離散的な周波数における電流周波数成分値を示している。

電流FFT解析手段2703は、図28に示すようなフローチャートでFFT解析を実行する。

#### 【0128】

まず、ステップ2801でネットリスト記憶手段2701に記憶された図12に示すネットリスト情報を読みこむ。

ついで、ステップ2802でテストベクタ記憶手段2702に記憶された図13に示すテストベクタ情報を読みこむ。

さらに、ステップ2803でEMI解析対象記憶手段2705に記憶された図26に示すEMI解析対象情報を読みこむ。

#### 【0129】

こののち、ステップ2803で、テストベクタに記載された全時刻について電

圧値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網に流れる電源電流の時間的な変化  $i(t)$  を計算し、その結果に対してFFTを行いFFT結果記憶手段に記憶する。

この例では、BUF1、BUF2、BUF3、BUF4、BUF5の5つの回路素子のみ電流を計算し、そのFFTのみ行うことで、FFT結果にあまり影響しないBUF6に関する電流計算とそのFFT計算の演算量を削減しながら、図14に示すようなFFT結果を得ることが出来る。また、原因個所がある程度予測がつく状態で、BUF1のみのFFT結果を行うことも可能である。

#### 【0130】

以上の方法により、不要輻射解析対象を限定して解析することにより、従来例よりも高速となり、かつ原因個所の推定を容易とする。

この方法は第1、第2、第3、第4、第5の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

#### 【0131】

(第7の実施の形態)

従来のLSIにおけるEMI解析方法では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化をFFT解析することにより求めていたが、この場合、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが余計にかかるという問題があった。

#### 【0132】

そこで本実施例では、この問題を解決するため、電流値が閾値を超える回路素子のみについて計算を行なうという手法を用いるようにしている。

図29に本発明の一実施例に関わる不要輻射解析方法に用いられる装置構成を示す。同図に示す不要輻射解析装置は、ネットリスト記憶手段2901と、テストベクタ記憶手段2902と、電流FFT解析手段2903と、FFT結果記憶手段2904とからなる。

#### 【0133】

これらのうち、ネットリスト記憶手段2901と、テストベクタ記憶手段29

02と、FFT結果記憶手段2904とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

一方、電流FFT解析手段2903は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0134】

次に、これらの図29の不要輻射解析装置を構成する個々の要素について説明するとともに、図25に示すネットリスト情報と、図13に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。

ネットリスト記憶手段2901は、第6の実施の形態と同様にあらかじめ図25に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

【0135】

テストベクタ記憶手段2902は、第2の実施の形態と同様にあらかじめ図13に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。

FFT結果記憶手段2904は、第6の実施の形態と同様に図14に示すような電流FFT解析手段2903で計算されたFFT結果情報を記憶するものである。

【0136】

電流FFT解析手段2903は、図30に示すようなフローチャートで解析を実行する。

まず、ステップ3001でネットリスト記憶手段2901に記憶された図12に示すネットリスト情報を読みこむ。

【0137】

ついで、ステップ3002でテストベクタ記憶手段2902に記憶された図13に示すテストベクタ情報を読みこむ。

そして、ステップ3003で、各回路素子が駆動した時の電流の情報から、電流値が閾値3mAを超える回路素子を電流推定対象からはずす。

## 【 0 1 3 8 】

こののち、ステップ 3 0 0 4 で、テストベクタに記載された全時刻について電圧値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網に流れる電源電流の時間的な変化  $i(t)$  を計算し、その結果に対して F F T を行い、F F T 結果情報に記憶する。

## 【 0 1 3 9 】

すなわち、従来例のように全ての素子の F F T 解析結果を計算するのではなく、あらかじめ定めた閾値 3 m A を超えた素子 B U F 1、B U F 2、B U F 3、B U F 4、B U F 5 のみ電流計算と F F T 計算を行い、F F T 結果にあまり影響しない B U F 6 に関する演算量を削減しながら、図 1 4 に示すような F F T 結果を得ることが出来る。

## 【 0 1 4 0 】

以上の方法により、閾値を超えた電流値を持つ素子のみを計算することにより、電流計算や F F T を省略することができ、高速化をはかることができる。また、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定を行なうことが容易となる。

この方法は第 1、第 2、第 3、第 4、第 5、第 6 の実施の形態と組み合わせることで、さらに高速かつ少メモリで F F T 結果を得、原因個所推定を容易とすることが可能となる。

## 【 0 1 4 1 】

(第 8 の実施の形態)

従来の L S I における E M I 解析方法では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化を F F T 解析することにより求めていたが、この方法では、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが余計にかかるという問題があった。

## 【 0 1 4 2 】

そこで本実施例では、この問題を解決するため、電流値の値の大きい回路素子からあらかじめ定めた個数分のみを選択しこれらについてのみ計算するという手

法を用いる。

・図 3 1 に本発明の一実施例に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、ネットリスト記憶手段 3 1 0 1 と、テストベクタ記憶手段 3 1 0 2 と、電流 F F T 解析手段 3 1 0 3 と、F F T 結果記憶手段 3 1 0 4 とからなる。

【 0 1 4 3 】

これらのうち、ネットリスト記憶手段 3 1 0 1 と、テストベクタ記憶手段 3 1 0 2 と、F F T 結果記憶手段 3 1 0 4 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

一方、電流 F F T 解析手段 3 1 0 3 は前述のコンピュータシステムの F F T 演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【 0 1 4 4 】

次に、これらの図 3 1 の不要輻射解析方法を構成する個々の要素について説明するとともに、図 2 5 に示すネットリスト情報と、図 1 3 に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。

ネットリスト記憶手段 3 1 0 1 は、第 6 の実施の形態と同様にあらかじめ図 2 5 に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

【 0 1 4 5 】

テストベクタ記憶手段 3 1 0 2 は、第 2 の実施の形態と同様にあらかじめ図 1 3 に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。

F F T 結果記憶手段 3 1 0 4 は、第 6 の実施の形態と同様に図 1 4 に示すような電流 F F T 解析手段 3 1 0 3 で計算された F F T 結果情報を記憶するものである。

【 0 1 4 6 】

電流 F F T 解析手段 3 1 0 3 は、図 3 2 に示すようなフローチャートで解析を実行する。



まず、ステップ 3 2 0 1 でネットリスト記憶手段 3 1 0 1 に記憶された図 1 2 に示すネットリスト情報を読みこむ。

ついで、ステップ 3 2 0 2 でテストベクタ記憶手段 3 1 0 2 に記憶された図 1 3 に示すテストベクタ情報を読みこむ。

こののち、ステップ 3 2 0 3 で、各回路素子が駆動した時の電流の情報から、電流値が大きいものからあらかじめ定めた 5 個以内の回路素子を電流推定対象とする。

最後に、ステップ 3 2 0 4 で、テストベクタに記載された全時刻について電圧値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網に流れる電源電流の時間的な変化  $i(t)$  を計算し、その結果に対して F F T を行い、F F T 結果情報に記憶する。

#### 【 0 1 4 7 】

すなわち、従来例のように全ての素子の F F T 解析結果を計算するのではなく、各回路素子が駆動した時の電流の情報から、電流値が大きいものからあらかじめ定めた 5 個以内の回路素子 B U F 1、B U F 2、B U F 3、B U F 4、B U F 5 のみ電流計算と F F T 計算を行い、F F T 結果にあまり影響しない B U F 6 に関する演算量を削減しながら、図 1 4 に示すような F F T 結果を得ることが出来る。

以上の方法により、あらかじめ決めた個数分の大きな電流値を持つ素子のみを計算することにより、従来例に比べ電流計算や F F T を省略することができ、解析の高速化を図ることができる。また、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定を容易とし、またあらかじめ電流計算に必要となるメモリを予測出来るので、特に電流量の高い回路素子の数を限定できる回路において安定動作となる。

#### 【 0 1 4 8 】

この方法は第 1、第 2、第 3、第 4、第 5、第 6、第 7 の実施の形態と組み合わせることで、さらに高速かつ少メモリで F F T 結果を得、原因個所推定を容易とすることが可能となる。

#### 【 0 1 4 9 】

## (第 9 の実施の形態)

従来の L S I におけるゲートレベルの E M I 解析方法では、イベント駆動シミュレータの信号変化より電流を推定した電流の変化を F F T 解析することにより求めている。

## 【 0 1 5 0 】

この方法では、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが余計に必要となるという問題があった。

本実施例では、周波数解析を電流計算とともにある区間ごとに解析するとともに、電流計算を論理変化回数があらかじめ指定した回数を超えたものに対して行う手法を用いる。

## 【 0 1 5 1 】

図 3 3 に本発明の一実施例に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、ネットリスト記憶手段 3 3 0 1 と、テストベクタ記憶手段 3 3 0 2 と、電流 F F T 解析手段 3 3 0 3 と、論理変化記憶手段 3 3 0 6 と、F F T 結果記憶手段 3 3 0 4 とからなる。

ネットリスト記憶手段 3 3 0 1 と、テストベクタ記憶手段 3 3 0 2 と、論理変化記憶手段 3 3 0 6 と、F F T 結果記憶手段 3 3 0 4 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

## 【 0 1 5 2 】

一方、電流 F F T 解析手段 3 3 0 3 は前述のコンピュータシステムの F F T 演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

## 【 0 1 5 3 】

次に、これらの図 3 3 の不要輻射解析方法を構成する個々の要素について説明するとともに、図 3 4 に示すネットリスト情報と、図 3 5 に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。

ネットリスト記憶手段 3 3 0 1 は、あらかじめ図 3 4 に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

このネットリスト情報は、1 つ以上の回路素子と配線と外部端子の接続情報と

各回路素子が駆動した時の電流の情報から構成されている。

この例では、立ち上がり時 4 mA、立下り時 6 mA 流れるバッファ BUF 1、BUF 2、BUF 3、BUF 4、BUF 5、BUF 6 と外部入力端子 A、B、外部出力端子 Y 1、Y 2、Y 3、Y 4 とそれぞれを接続する配線からネットリストが構成されている。

テストベクタ記憶手段 3 3 0 2 は、あらかじめ図 3 5 に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。このテストベクタ情報は、各時刻 3 5 0 1 と、入力する外部入力端子名 3 5 0 2 と、各時刻における対象回路の外部端子の論理情報 3 5 0 3 から構成されている。

#### 【 0 1 5 4 】

第 2 の実施の形態などにおけるテストベクタ情報とは異なり、ある信号変化に関する情報は過渡的にもつのではなく、デジタル的に持つようになっている。

この例では、時刻 0 ns から 9 0 ns において外部入力端子 A に論理値 0 をかけ、9 0 ns から 1 9 0 ns まで外部入力端子 A に論理値 1 をかけるといった論理変化を離散的に指定したものを示している。

#### 【 0 1 5 5 】

論理変化記憶手段 3 3 0 6 は、図 3 6 に示すような電流 FFT 解析手段 3 3 0 3 で計算された論理変化情報を記憶するものである。

この論理変化回数情報は、各時刻と素子名と論理値とからなる対象回路の回路素子の出力における 1 つ以上の論理値情報から構成されている。第 1 の実施の形態などにおける電源電流情報とは異なり、ある信号変化に関する情報は過渡的にもつのではなく、デジタル的に持つようになっている。

#### 【 0 1 5 6 】

この例では、時刻 0 ns において回路素子 BUF 1、BUF 2、BUF 3、BUF 4、BUF 5 の出力端子 Y が論理値 0 に変化し、9 0 ns に論理値 1 に変化するといった論理変化を離散的に指定したものを示している。

FFT 結果記憶手段 3 3 0 4 は、第 6 の実施の形態と同様に図 1 4 に示すような電流 FFT 解析手段 3 3 0 3 で計算された FFT 結果情報を記憶するものである。

## 【 0 1 5 7 】

・電流 F F T 解析手段 3 3 0 3 は、図 3 7 に示すようなフローチャートで解析を実行する。

まずステップ 3 7 0 1 でネットリスト記憶手段 3 3 0 1 に記憶された図 1 2 に示すネットリスト情報を読みこむ。

ついで、ステップ 3 7 0 2 でテストベクタ記憶手段 3 3 0 2 に記憶された図 1 3 に示すテストベクタ情報を読みこむ。

こののち、ステップ 3 7 0 3 で、テストベクタに記載された全時刻について論理値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網の各素子の出力に発生する論理変化を計算し、論理変化情報に記憶する。

そして、ステップ 3 7 0 4 で、各回路素子の出力に発生した論理変化回数から、論理変化回数が閾値 3 回を超える回路素子を電流推定対象とする。

さらに、ステップ 3 7 0 5 で、電流推定対象の回路素子に関する論理変化情報から電源電流情報を推定し、F F T を行い F F T 結果情報に記憶する。

すなわち、変化回数が立ち上がり、立下り合わせて閾値以下、3 回の B U F 6 を解析対象外とし、変化回数が閾値以上、6 回の B U F 1、B U F 2、B U F 3、B U F 4、B U F 5 を解析対象として F F T を行うことで、F F T 結果にあまり影響しない B U F 6 に関する演算量を削減しながら、図 1 4 に示すような F F T 結果を得ることが出来る。

## 【 0 1 5 8 】

以上の方法により、閾値を超えた論理変化のみを計算することにより、第 1 の実施の形態に示した従来例に対してピーク電流計算および F F T を行わない分、精度は悪いが高速となる。

以上の方法により、閾値を超えた論理変化数を持つ素子のみを計算することにより、従来例に対して論理変化計算の段階で計算量節約を決定することが出来、電流計算や F F T を省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定が容易となる。

## 【 0 1 5 9 】

この方法は第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8 の実施の形態と

組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因箇所推定を容易とすることが可能となる。

#### 【0160】

(第10の実施の形態)

従来のLSIにおけるゲートレベルのEMI解析方法では、イベント駆動シミュレータの信号変化より電流を推定した電流の変化をFFT解析することにより求めていたが、この方法では、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが余計にかかるという問題があった。

#### 【0161】

そこで本実施例では、この問題を解決するため、周波数解析を電流計算とともにある区間ごとに解析するとともに、電流計算を論理変化回数が大きいものからあらかじめ指定した個数分だけに対して行う手法を用いる。

#### 【0162】

図38に本発明の実施例10に関わる不要輻射解析装置の構成を示す。

同図に示す不要輻射解析装置は、ネットリスト記憶手段3801と、テストベクタ記憶手段3802と、電流FFT解析手段3803と、論理変化記憶手段3806と、FFT結果記憶手段3804とからなる。

これらのうち、ネットリスト記憶手段3801と、テストベクタ記憶手段3802と、論理変化記憶手段3806と、FFT結果記憶手段3804とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

#### 【0163】

一方電流FFT解析手段3803は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

#### 【0164】

次に、これらの図38の不要輻射解析方法を構成する個々の要素について説明するとともに、図34に示すネットリスト情報と、図35に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。

ネットリスト記憶手段3801は、第9の実施の形態と同様にあらかじめ図3

4に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。  
 テストベクタ記憶手段3802は、第9の実施の形態と同様にあらかじめ図35に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。

論理変化記憶手段3306は、第9の実施の形態と同様に図36に示すような電流FFT解析手段3303で計算された論理変化情報を記憶するものである。

FFT結果記憶手段3804は、第6の実施の形態と同様に図14に示すような電流FFT解析手段3803で計算されたFFT結果情報を記憶するものである。

#### 【0165】

電流FFT解析手段3803は、図39に示すようなフローチャートに従って解析操作を実行する。

まず、ステップ3901でネットリスト記憶手段3801に記憶された図12に示すネットリスト情報を読みこむ。

ついで、ステップ3902でテストベクタ記憶手段3802に記憶された図13に示すテストベクタ情報を読みこむ。

こののち、ステップ3903で、テストベクタに記載された全時刻について論理値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網の各素子の出力に発生する論理変化を計算し、論理変化情報に記憶する。

そして、ステップ3904で、各回路素子の出力に発生した論理変化回数から、論理変化回数が上位のものから5つの回路素子を電流推定対象とする。

さらに、ステップ3905で、電流推定対象の回路素子に関する論理変化情報から電源電流情報を推定し、FFTを行いFFT結果情報に記憶する。

すなわち、変化回数が上位から5つのBUF1、BUF2、BUF3、BUF4、BUF5を解析対象としてFFTを行うことで、FFT結果にあまり影響しないBUF6に関する演算量を削減しながら、図14に示すようなFFT結果を得ることが出来る。

#### 【0166】

以上の方法により、あらかじめ定めた個数分の論理変化の大きな回路素子のみ

を計算することにより、従来例に対して論理変化計算の段階で計算量節約を決定することが出来る。従って、電流計算やFFTを省略し高速化を図ることが出来る。また、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定が容易となる。またあらかじめ電流計算に必要となるメモリを予測出来るので、特に論理変化数の高い回路素子の数を限定できる回路において安定動作となる。

## 【 0 1 6 7 】

この方法は第1、第2、第3、第4、第5、第6、第7、第8、第9の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

## 【 0 1 6 8 】

(第11の実施の形態)

従来のLSIにおけるEMI解析方法では、解析対象の電流を測定するのみでEMIの原因となる個所を把握するための機能が十分でないという問題があった。本実施例では、EMI解析対象をピーク電流の大きいと予測される個所だけに対して行う手法を用いる。

## 【 0 1 6 9 】

図40に本発明の一実施例に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、ネットリスト記憶手段4001と、テストベクタ記憶手段4002と、電流FFT解析手段4003と、FFT結果記憶手段4004とからなる。

これらのうち、ネットリスト記憶手段4001と、テストベクタ記憶手段4002と、FFT結果記憶手段4004とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

一方、電流FFT解析手段4003は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

## 【 0 1 7 0 】

次に、これらの図40の不要輻射解析装置を構成する個々の要素について説明するとともに、図34に示すネットリスト情報と、図35に示すテストベクタ情

報とを用いて不要輻射を解析する手順を説明する。

・ ネットリスト記憶手段 4 0 0 1 は、第 9 の実施の形態と同様にあらかじめ図 3 4 に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

・ テストベクタ記憶手段 4 0 0 2 は、第 9 の実施の形態と同様にあらかじめ図 3 5 に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。

・ F F T 結果記憶手段 4 0 0 4 は、第 6 の実施の形態と同様に図 1 4 に示すような電流 F F T 解析手段 4 0 0 3 で計算された F F T 結果情報を記憶するものである。

#### 【 0 1 7 1 】

電流 F F T 解析手段 4 0 0 3 は、図 4 1 に示すようなフローチャートで解析を実行する。

まず、ステップ 4 1 0 1 でネットリスト記憶手段 4 0 0 1 に記憶された図 1 2 に示すネットリスト情報を読みこむ。

ついで、ステップ 4 1 0 2 でテストベクタ記憶手段 4 0 0 2 に記憶された図 1 3 に示すテストベクタ情報を読みこむ。

こののち、ステップ 4 1 0 3 で故障シミュレータなどで使用される遷移確率計算手段を用いて、各回路素子の出力に発生する変化回数を推定し、その変化回数が閾値を超えるものを解析対象回路素子とする。

#### 【 0 1 7 2 】

なお、この閾値のかわりに、変化回数大きいものからの個数で対象回路素子を決める方法もある。

ステップ 4 1 0 3 で、テストベクタに記載された全時刻について電圧値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網に流れる電源電流の時間的な変化  $i(t)$  を計算し、その結果に対して F F T を行い F F T 結果記憶手段に記憶する。

すなわち、最初の遷移確率計算手段において、テストベクタの外部端子 A の変化回数 6 回、外部端子 B の変化回数 3 回から、バッファの変化回数は入力と出力



とで同じことを用いて、ネットリストの各回路素子の変化回数を計算する。この場合、B U F 1、B U F 2、B U F 3、B U F 4、B U F 5は変化回数6回と推定され、B U F 6は3回と推定される。

そして、変化回数が立ち上がり、立下り合わせて閾値以下、3回のB U F 6を解析対象外とし、変化回数が閾値以上、6回のB U F 1、B U F 2、B U F 3、B U F 4、B U F 5を解析対象としてF F Tを行うことで、F F T結果にあまり影響しないB U F 6に関する演算量を削減しながら、図14に示すようなF F T結果を得ることが出来る。

#### 【0173】

回路素子がANDの場合には、2つの入力の確率が同じ場合出力が1になる確率が25%、0になる確率が75%（なぜならば、2つの入力の論理がともに1の時1となり、それ以外の3通りの場合0となるから）となることを利用して同様に計算できる。回路素子がORの場合には、2つの入力の確率が同じ場合出力が1になる確率が75%、0になる確率が25%となることを利用して同様に計算できる。

#### 【0174】

以上の方法により、ネットリストから論理変化回数を推定して解析対象を決定することにより、従来例に対して論理変化計算以前の段階で計算量節約を決定することが出来、論理変化計算や電流計算やF F Tを省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定を容易とする。

#### 【0175】

この方法は第1、第2、第3、第4、第5、第6、第7の実施の形態と組み合わせることで、さらに高速かつ少メモリでF F T結果を得、原因個所推定を容易とすることが可能となる。

#### 【0176】

（第12の実施の形態）

従来のL S IにおけるE M I解析手段では、F F T結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかっ

てしまうという問題があった。

そこで本実施例では、この問題を解決するため、ユーザインターフェースとして、各インスタンスごとの電流波形に対してFFTを行い、各電流周波数成分のノイズの大きなもの順にインスタンス名をソートするという手法を用いる。

#### 【0177】

図42に本発明の実施例12に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、FFT結果記憶手段5001と、FFT結果ソート手段5002と、ソート結果記憶手段5003とからなる。

これらのうち、FFT結果記憶手段5001と、ソート結果記憶手段5003とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

#### 【0178】

一方、FFT結果ソート手段5002は前述のコンピュータシステムの入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

#### 【0179】

次に、これらの図42の不要輻射解析装置を構成する個々の要素について説明するとともに、図43に示すFFT結果情報を用いて不要輻射を解析する手順を説明する。

#### 【0180】

FFT結果記憶手段5001は、FFT結果の情報であり、あらかじめ図43に示すようなFFT結果情報を記憶している。

このFFT結果情報は、各インスタンス毎にFFT結果の周波数と電流周波数成分の情報から構成されている。

ソート結果記憶手段5003は、図44に示すようなFFT結果ソート手段5002で計算されたソート結果情報を記憶するものである。

このソート結果情報は、各周波数毎にインスタンス名と電流周波数成分値とからなる対象回路の1つ以上のFFT結果情報から構成されている。

#### 【0181】

FFT結果ソート手段5002は、図45に示すようなフローチャートで解析

を実行する。

まず、ステップ5301でFFT結果記憶手段5001に記憶された図43に示すFFT結果情報を読みこむ。

ついで、ステップ5302でFFT結果情報内の周波数情報を読み込み、ステップ5303で最初の周波数を選択する。

こののち、ステップ5304では、前記対象周波数に対応する全てのインスタンスと電流周波数成分を選択し、さらに、ステップ5305で選択したインスタンスと電流周波数成分を電流周波数成分の大きい順にソートする。

ステップ5306では、対象周波数とソートされたインスタンス名と電流周波数成分を、ソート結果記憶情報に書き込む。

上記のステップ5304からステップ5306まではFFT結果情報に記載された全ての周波数情報を処理し終わるまで繰り返し、終了すれば本FFT結果ソート手段は終了する。

#### 【0182】

以上の方法により、ユーザインターフェースとして、各インスタンスごとの電流波形に対してFFTを行い、各電流周波数成分のノイズの大きなもの順にインスタンス名をソートするという手法を用いることによりノイズに影響するインスタンスの特定が可能となる。

#### 【0183】

(第13の実施の形態)

従来のLSIにおけるEMI解析手段では、FFT結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまう。

#### 【0184】

本実施例では、ユーザインターフェースとして、実施例12をブロック（インスタンスグループ）ごとに行う手法である。

第13の構成は第12の構成の図42と同じであるが、FFT結果記憶手段5001は、図46に示すようなFFT結果情報を記憶している。

このFFT結果情報は、各ブロック（インスタンスグループ）毎にFFT結果

の周波数と電流周波数成分の情報から構成されている。

また、ソート結果記憶手段 5 0 0 3 は、図 4 7 に示すような F F T 結果ソート手段 5 0 0 2 で計算されたソート結果情報を記憶するものである。

このソート結果情報は、各周波数毎にブロック名（インスタンスグループ名）と電流周波数成分値とからなる対象回路の 1 つ以上の F F T 結果情報から構成されている。

#### 【 0 1 8 5 】

F F T 結果ソート手段 5 0 0 2 は、図 4 8 に示すようなフローチャートで解析を実行する。

まず、ステップ 5 6 0 1 で F F T 結果記憶手段 5 0 0 1 に記憶された図 4 6 に示す F F T 結果情報を読みこむ。

ついで、ステップ 5 6 0 2 で F F T 結果情報内の周波数情報を読み込み、ステップ 5 6 0 3 で最初の周波数を選択する。

こののち、ステップ 5 6 0 4 では、前記対象周波数に対応する全てのブロック（インスタンスグループ）と電流周波数成分を選択し、ステップ 5 6 0 5 で選択したブロック（インスタンスグループ）と電流周波数成分を電流周波数成分の大きい順にソートする。

ここで、ステップ 5 6 0 6 では、対象周波数とソートされたブロック名（インスタンスグループ名）と電流周波数成分を、ソート結果記憶情報に書き込む。

上記のステップ 5 6 0 4 からステップ 5 6 0 6 までは F F T 結果情報に記載された全ての周波数情報を処理し終わるまで繰り返し、終了すれば本 F F T 結果ソート手段は終了する。

#### 【 0 1 8 6 】

以上の方法により、ユーザインターフェースとして、各ブロック（インスタンスグループ）ごとの電流波形に対して F F T を行い、各電流周波数成分のノイズの大きなもの順にブロック名（インスタンスグループ名）をソートするという手法を用いることによりノイズに影響するブロック（インスタンスグループ）の特定が可能となる。

#### 【 0 1 8 7 】

## (第 1 4 の実施の形態)

・従来の L S I における E M I 解析手段では、F F T 結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまうという問題があった。

そこで、本実施例では、この問題を解決するため、ユーザインターフェースとして、あらかじめセルライブラリ情報に記載されたレジスタ・組み合わせ回路・メモリなどを区分する番号のグループごとに行う手法である。

## 【 0 1 8 8 】

図 4 9 に本発明の実施例 1 4 に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、インスタンス毎の電流情報記憶手段 5 7 0 1 と、グループ化情報の入力 5 7 0 2 と、インスタンスグルーピング手段 5 7 0 3 と、グループ毎の電流情報記憶手段 5 7 0 4 と、グループ・インスタンス対応情報記憶手段 5 7 0 5 と、F F T 解析手段 5 7 0 6 と、F F T 結果記憶手段 5 7 0 7 と、F F T 結果ソート手段 5 7 0 8 と、ソート結果記憶手段 5 7 0 9 とからなる。

## 【 0 1 8 9 】

これらのうち、インスタンス毎の電流情報記憶手段 5 7 0 1 と、グループ毎の電流情報記憶手段 5 7 0 4 と、グループ・インスタンス対応情報記憶手段 5 7 0 5 と、F F T 結果記憶手段 5 0 0 1 と、ソート結果記憶手段 5 0 0 3 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

一方、インスタンスグルーピング手段 5 7 0 3 と、F F T 解析手段 5 7 0 6 と、F F T 結果ソート手段 5 0 0 2 は前述のコンピュータシステムの入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

## 【 0 1 9 0 】

次に、これらの図 4 9 の不要輻射解析装置を構成する個々の要素と不要輻射を解析する手順を説明する。

インスタンス毎の電流情報記憶手段 5 7 0 1 は、各インスタンス毎の電流情報であり、図 5 0 に示すような時刻と電流値の情報から構成される。

グループ化情報の入力 5 7 0 2 は図 5 1 に示すようなセル情報とそのセルの機能属性を示すプロパティ情報から構成される。

## 【 0 1 9 1 】

・グループ毎の電流情報記憶手段 5 7 0 4 は、各グループに含まれるインスタンスの各時間における電流の集計結果情報であり、図 5 2 に示すような時刻と電流値の情報から構成される。

グループ・インスタンス対応情報記憶手段 5 7 0 5 は図 5 3 に示すような、各ブロックに属するインスタンス名を示すものである。

## 【 0 1 9 2 】

インスタンスグルーピング手段 5 7 0 3 は、図 5 4 に示すようなフローチャートで解析を実行する。

まず、ステップ 6 2 0 1 でインスタンス毎の電流情報記憶手段 5 7 0 1 に記憶された図 5 0 に示すインスタンス毎の電流情報を読み込む。

ついで、ステップ 6 2 0 2 で図 5 1 に示すセル情報とそのセルの機能属性を示すプロパティ情報を読み込む。

こののち、ステップ 6 2 0 3 で全インスタンスに対して、そのセル情報から図 5 1 のテーブルを参照して機能属性プロパティを設定し、同一プロパティ毎に全インスタンスをレジスタ、組み合わせ回路、メモリー等のグループに区分する。

ステップ 6 2 0 4 でグループ毎にグループ名を付与し、グループ名と各グループに属するインスタンス名を図 5 3 に示すグループ・インスタンス対応情報に書き込む。

さらに、ステップ 6 2 0 5 でグループ毎に各インスタンスの電流情報を合計し、図 5 2 に示す、グループ毎の電流情報記憶手段に書き込む。

FFT 結果記憶手段 6 3 0 8 からソート結果記憶手段 6 3 1 0 は第 1 3 の実施の形態と同様である。

## 【 0 1 9 3 】

以上の方法により、各インスタンスを機能グループ単位で各電流周波数成分のノイズの大きなもの順にソートするという手法を用いることによりノイズに影響する機能ブロックの特定が可能となる。

## 【 0 1 9 4 】

(第 1 5 の実施の形態)

・従来の L S I における E M I 解析手段では、 F F T 結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまう。

そこで、本実施例では、ユーザインターフェースとして、クロック入力端子からたどって判別したクロックツリーに対して行う手法である。

【 0 1 9 5 】

図 5 5 に本発明の一実施例に関わる不要輻射解析装置の構成を示す。

同図に示す不要輻射解析装置は、インスタンス毎の電流情報記憶手段 6 3 0 1 と、グループ化情報の入力 6 3 0 2 と、ネットリスト情報記憶手段 6 3 0 3 と、インスタンスグルーピング手段 6 3 0 4 と、グループ毎の電流情報記憶手段 6 3 0 5 と、グループ・インスタンス対応情報記憶手段 6 3 0 6 と、 F F T 解析手段 6 3 0 7 と、 F F T 結果記憶手段 6 3 0 8 と、 F F T 結果ソート手段 6 3 0 9 と、ソート結果記憶手段 6 3 1 0 とからなる。

【 0 1 9 6 】

これらのうち、インスタンス毎の電流情報記憶手段 6 3 0 1 と、ネットリスト情報記憶手段 6 3 0 3 と、グループ毎の電流情報記憶手段 6 3 0 4 と、グループ・インスタンス対応情報記憶手段 6 3 0 5 と、 F F T 結果記憶手段 6 3 0 8 と、ソート結果記憶手段 6 3 1 0 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

インスタンスグルーピング手段 6 3 0 4 と、 F F T 解析手段 6 3 0 7 と、 F F T 結果ソート手段 6 3 0 9 は前述のコンピュータシステムの入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【 0 1 9 7 】

次に、これらの図 5 5 の不要輻射解析方法を構成する個々の要素と不要輻射を解析する手順を説明する。

ここで、インスタンス毎の電流情報記憶手段 6 3 0 1 は、各インスタンス毎の電流情報であり、図 5 0 に示すような時刻と電流値の情報から構成される。

グループ化情報の入力 6 3 0 2 は図 5 1 に示すようなグループ番号とクロック端子名の情報から構成される。

【 0 1 9 8 】

ネットリスト情報記憶手段 6 3 0 3 は図 5 8 に示すようなネットリスト情報から構成される。

グループ毎の電流情報記憶手段 6 3 0 5 は、各グループに含まれるインスタンスの各時間における電流の集計結果情報であり、図 5 2 に示すような時刻と電流値の情報から構成される。

グループ・インスタンス対応情報記憶手段 6 3 0 6 は図 5 3 に示すような、各ブロックに属するインスタンス名を示すものである。

【 0 1 9 9 】

インスタンスグルーピング手段 6 3 0 4 は、図 5 7 に示すようなフローチャートで解析が実行する。

まず、ステップ 6 5 0 1 でインスタンス毎の電流情報記憶手段 6 3 0 1 に記憶された図 5 0 に示すインスタンス毎の電流情報を読み込む。

ついで、ステップ 6 5 0 2 で図 5 6 に示すグループ化番号とクロック端子名の情報を読み込む。

こののち、ステップ 6 5 0 3 で読み込んだクロック情報の最初のクロックを取りこむ。

さらにステップ 6 5 0 4 で図 5 8 に示す入力端子 6 6 0 1 と内部インスタンスの接続族情報より、クロック入力端子に接続するクロックツリー上の全インスタンス 6 6 0 3 を 1 つのグループにグルーピングする。

【 0 2 0 0 】

ステップ 6 5 0 5 でグループ毎にグループ名を付与し、グループ名と各グループに属するインスタンス名を図 5 3 に示すグループ・インスタンス対応情報に書き込む。

上記のステップ 6 5 0 3 からステップ 6 5 0 6 までを全てのクロックに対する処理をし終わるまで繰り返す。

ステップ 6 5 0 7 でグループ毎に各インスタンスの電流情報を合計し、図 5 2



に示す、グループ毎の電流情報記憶手段に書き込み、インスタンスグルーピングの処理は終わる。

#### 【 0 2 0 1 】

F F T 結果記憶手段 6 3 0 8 からソート結果記憶手段 6 3 1 0 は第 1 3 の実施の形態と同様である

#### 【 0 2 0 2 】

以上の方法により、全インスタンスをクロックピン毎に各クロック入力端子に接続するクロックツリー群とクロックツリー以外のインスタンスに分けて各電流周波数成分のノイズの大きなもの順にソートするという手法を用いることによりノイズに影響するクロック端子の特定と全体に対するその影響度合いの確認が可能となる。

#### 【 0 2 0 3 】

(第 1 6 の実施の形態)

従来の L S I における E M I 解析手段では、F F T 結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまう。

本実施例では、ユーザインターフェースとして、同時変化箇所については、静的タイミング解析 (S T A) を行い、タイミングの一致するインスタンスをグループ化し、実施例 1 3 と同様に各グループ毎の電流波形に対して F F T を行い、各電流周波数成分のノイズの大きなもの順にソートするという手法を用いる。

#### 【 0 2 0 4 】

第 1 6 の構成は第 1 5 の構成と同じであるが、グループ化情報の入力 6 3 0 2 は使用しない。

インスタンスグルーピング手段 6 3 0 4 は、図 5 9 に示すようなフローチャートに従って解析操作を実行する。

ステップ 6 7 0 1 でインスタンス毎の電流情報記憶手段 6 3 0 1 に記憶された図 5 0 に示すインスタンス毎の電流情報を読み込む。

ステップ 6 7 0 2 で図 6 0 に示す内部インスタンスのネットリスト情報を使って静的タイミング解析 (S T A) を行い、信号状態の変化タイミングが一致する

インスタンスを同一グループにグルーピングする。

ステップ 6 7 0 3 でグループ毎にグループ名を付与し、グループ名と各グループに属するインスタンス名を図 5 3 に示すグループ・インスタンス対応情報に書き込む。

ステップ 6 7 0 4 でグループ毎に各インスタンスの電流情報を合計し、図 5 2 に示す、グループ毎の電流情報記憶手段に書き込み、インスタンスグルーピングの処理は終わる。

FFT 結果記憶手段 6 3 0 8 からソート結果記憶手段 6 3 1 0 は第 1 3 の実施の形態と同様である

#### 【 0 2 0 5 】

以上の方法により、同時変化（ある時間間隔内に変化）するインスタンスのグループ毎に、各電流周波数成分のノイズの大きなもの順にソートするという手法を用いることによりノイズに影響する同時変化のインスタンスグループの特定が可能となる。

#### 【 0 2 0 6 】

（第 1 7 の実施の形態）

従来の L S I における E M I 解析手段では、FFT 結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまう。

そこで本実施例では、ユーザインターフェースとして、実施例 1 4、実施例 1 5、実施例 1 6 でグループ化したグループ情報から各電流周波数成分のノイズが大きいインスタンス情報、及びそのノイズレベル等の情報を表示する手法を用いる。

#### 【 0 2 0 7 】

図 6 1 に本発明の一実施例に関わる不要輻射解析装置直後の構成を示す。

同図に示す不要輻射解析方法は、実施例 1 4 - 1 6 と同様のインスタンスグルーピング手段 6 9 0 1 と、グループ毎の電流情報記憶手段 6 9 0 2 と、グループ・インスタンス対応情報記憶手段 6 9 0 3 と、ネットリスト情報記憶手段 6 9 0 4 と、FFT 結果記憶手段 6 9 0 5 と、

FFT結果ソート手段6906と、ソート結果記憶手段6907に  
インスタンス情報表示手段6908を加えたものからなる。

#### 【0208】

ここで、インスタンス情報表示手段6908は前述のコンピュータシステムの  
入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶  
されている。

#### 【0209】

次に、これらの図61の不要輻射解析方法を構成する個々の要素と不要輻射を  
解析する手順を説明する。

ここで、インスタンスグルーピング手段6901からソート結果記憶手段69  
07は、実施例14、実施例15、実施例16と同様であり、

インスタンス情報表示手段6908は、ソート結果記憶手段6907に記憶さ  
れた、図47に示すようなブロック名と電流周波数成分の情報と、インスタンス  
グルーピング手段6901で作成されるグループ・インスタンス対応情報記憶手  
段6903に記憶される、図53に示すようなブロック名（インスタンスグルー  
プ名）とインスタンス名から、各電流周波数成分のノイズの大きな箇所をイン  
スタンス名で表示することが可能になる。

#### 【0210】

また、実施例15、16の場合には、ネットリスト情報記憶手段6904に記  
憶される、図58に示すようなネットリスト情報から、各電流周波数成分のノイ  
ズの大きな箇所をネットリストに対応させて表示させることができる。

#### 【0211】

また、この方法はネットリスト情報を、対応するレイアウト情報に置きかえる  
ことによってレイアウト上の位置情報に対応させて表示させることもできる。

#### 【0212】

以上の方法により、実施例14ではノイズに影響するレジスタ・組み合わせ回  
路・メモリブロック内の箇所の特定、実施例15ではクロック入力端子からたど  
って判別したクロックツリー内の箇所の特定、実施例16ではノイズに影響する  
同時変化箇所の特定が、それぞれ容易になるという効果が得られる。

## 【 0 2 1 3 】

(第 1 8 の実施の形態)

従来の L S I における E M I 解析手段では、 F F T 結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまう。

本実施例では、ユーザインターフェースとして、実施例 1 4 から 1 7 について F F T を行わず、あらかじめ決めておいた周波数についてのみ計算（フーリエ級数を計算）する手法とその情報のみを表示する手法を用いる。

## 【 0 2 1 4 】

図 6 2 に本発明の一実施例に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析方法は、実施例 1 4 - 1 7 と同様の F F T 解析手段 7 0 0 2 と、グループ・インスタンス対応情報記憶手段 7 0 0 3 と、ソート結果記憶手段 7 0 0 4 に周波数情報の入力 7 0 0 1 と、インスタンス情報表示手段 7 0 0 5 を加えたものからなる。

## 【 0 2 1 5 】

このインスタンス情報表示手段 7 0 0 5 は前述のコンピュータシステムの入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

次に、これらの図 6 2 の不要輻射解析方法を構成する個々の要素と不要輻射を解析する手順を説明する。

## 【 0 2 1 6 】

ここで、ソート結果記憶手段 7 0 0 4 は、実施例 1 4、1 5、1 6、1 7 と同様である。

周波数情報の入力 7 0 0 1 は、解析したい周波数値の情報である。

F F T 解析手段 7 0 0 2 は、通常使用される一般的な F F T（フーリエ変換）を用いるのではなく、周波数情報の入力 7 0 0 1 で入力した周波数について、電流周波数成分  $\int i(t) \sin(n\omega t) dt$  を計算（フーリエ級数を計算）する。

## 【 0 2 1 7 】

インスタンス情報表示手段 7 0 0 5 は、ソート結果記憶手段 7 0 0 4 に記憶さ

れた、図 4 7 に示すようなブロック名と電流周波数成分の情報と、グループ・インスタンス対応情報記憶手段 7 0 0 3 に記憶される、図 5 3 に示すようなブロック名（インスタンスグループ名）とインスタンス名から、各電流周波数成分のノイズの大きな箇所をインスタンス名で表示することが可能になる。

## 【 0 2 1 8 】

以上の方法により、特定の周波数に対して従来例よりも高速に特定周波数に影響するノイズ原因箇所が特定できるという効果が得られる。

一度一チップ F F T 解析を行った後の原因特定段階等のように、解析したい周波数が予め決まっている場合等に有効である。

## 【 0 2 1 9 】

（第 1 9 から第 2 3 の実施の形態）

一般に、チップの不要輻射（以降 E M I と表現する）の解析には、チップの電源電流を F F T 解析する方法でおこなわれる。図 6 3 のように、チップの電源電流は、電源線の抵抗（以降 R と表現する）および容量（以降 C と表現する）のインピーダンス成分の影響で波形が変わる。そのため E M I 解析を高精度におこなうためには、電源線のインピーダンス成分は無視できない。

## 【 0 2 2 0 】

従来の不要輻射解析方法において電源電流の算出に電源線のインピーダンス効果を盛り込む手法としては、大きくわけて 2 通りの方法が実施されている。

（A） 電源線の R C が付加されたトランジスタレベルのネットリストを S P I C E 系回路シミュレータを用いて過渡解析をおこない、電源電流を算出する。

（B） 電源線の R C と複数トランジスタの理想電源時の電流波形からモデリングする電流源で構成される電源線ネットリストを S P I C E 系回路シミュレータを用いて過渡解析をおこない、電源電流を算出する。

（A）の方法が、もっとも精度よく電源電流を算出することができる。（B）は、トランジスタに流れる電流を理想電源で前もって算出しておくことで高速化をはかっているものである。

## 【 0 2 2 1 】

この（A）および（B）の過渡解析を用いる方法では L S I が大規模・複雑化

しているため、処理時間が増大し EMI 解析として現実的でない。また (B) で、電源線 RC ネットワークを簡易化するという手法も回路形状がアレイ構造に限定されるため、問題の解決には至らない。

#### 【 0 2 2 2 】

本実施例は、過渡解析を用いずに電源線のインピーダンスの影響を電源電流の算出に盛り込むことによって、インピーダンスの影響を考慮した EMI 解析をゲートレベルで実現する手法である。

図 6 4 に本発明の実施例 1 9 から 2 3 に関わる不要輻射解析方法の構成を示す。

図 6 4 に示す不要輻射解析方法は、抵抗記憶手段 8 1 0 1 と、容量記憶手段 8 1 0 2 と、電源線依存情報記憶手段 8 1 0 3 と、電流波形記憶手段 8 1 0 4 と、電流波形補正手段 8 1 0 7 と、補正電流波形記憶手段 8 1 0 6 とからなる。

これらのうち、抵抗記憶手段 8 1 0 1 と、容量記憶手段 8 1 0 2 と、電源線依存情報記憶手段 8 1 0 3 と、電流波形記憶手段 8 1 0 4 と、補正電流波形記憶手段 8 1 0 6 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

#### 【 0 2 2 3 】

電流波形補正手段 8 1 0 7 は前述のコンピュータシステムの電源考慮演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

第 1 9 の実施の形態は、図 6 4 に示す不要輻射解析方法全体の概念を示している。

第 2 0 の実施の形態は、図 6 9 に示す電流波形補正手段のフローチャートのステップ 8 6 0 3、ステップ 8 6 0 7 にテーブルを用いる。

第 2 1 の実施の形態は、図 6 9 に示す電流波形補正手段のフローチャートのステップ 8 6 0 3、ステップ 8 6 0 7 に数式を用いる。

第 2 2 の実施の形態は、図 6 9 に示す電流波形補正手段のフローチャートのステップ 8 6 0 8 で底辺での補正を行う。

第 2 3 の実施の形態は、図 6 9 に示す電流波形補正手段のフローチャートのステップ 8 6 0 8 で面積での補正を行う。

【 0 2 2 4 】

次に、これらの図 6 4 の不要輻射解析方法を構成する個々の要素について説明する。

抵抗記憶手段 8 1 0 1 は、レイアウトデータから L P E により得ることのできる電源回路網の抵抗の情報であり、あらかじめ図 6 5 に示すような抵抗情報として記憶されている。

容量記憶手段 8 1 0 2 は、レイアウトデータから L P E により得ることのできる電源回路網の容量の情報であり、あらかじめ図 6 6 に示すような容量情報として記憶されている。

【 0 2 2 5 】

電源線依存情報記憶手段 8 1 0 3 は、理想電源として算出している推定電流波形を電源回路網の等価容量や等価抵抗の情報に基づき補正するための情報であり、あらかじめ図 6 8 に示すような電源線依存情報として記憶している。

この手段では、電流波形記憶手段 8 0 0 4 と、イベントドリブン型シミュレータで計算された推定電流波形の情報であり、あらかじめ図 6 7 に示すような推定電流波形情報を記憶している。

【 0 2 2 6 】

この推定電流波形情報は、イベントの発生した時刻と三角形の底辺および高さの情報から構成されている。

補正電流波形記憶手段 8 1 0 6 は、電流波形補正手段 8 0 0 7 で計算された補正電流波形情報を記憶するものである。

【 0 2 2 7 】

電流波形補正手段 8 0 0 7 では、上記、抵抗情報 8 1 0 1、容量情報 8 1 0 2、電源線依存情報 8 1 0 3 から、電流波形の補正をする補正係数を求める工程と、求めた補正係数を用いて、上記、電流波形 8 1 0 4 に補正を施し、補正電流波形 8 1 0 6 を求める工程で構成されるものである。

【 0 2 2 8 】

次に、図 6 5 に示す抵抗情報、図 6 6 に示す容量情報、図 6 7 に示す電流情報、および図 6 8 に示す電源線依存情報を用いて電流波形の補正をおこなう、上記

、電流波形補正手段 8 1 0 7 について説明をおこなう。図 7 0 に電流波形補正手段 8 1 0 7 の概念図を示す。

#### 【 0 2 2 9 】

この電流波形補正手段 8 1 0 7 は、図 6 9 に示すようなフローチャートに従って解析操作を実行する。

そして、ステップ 8 6 0 1 で、抵抗記憶手段 8 1 0 1 に記憶された図 6 5 の 8 2 0 1 に示すような抵抗情報を読みこむ。この抵抗情報は、抵抗素子について、抵抗素子名、両端のノード名、抵抗値の情報が記載されており、図 6 5 の 8 2 0 2 のような抵抗回路網の情報を表している。

ステップ 8 6 0 2 で、容量記憶手段 8 1 0 2 に記憶された図 6 6 の 8 3 0 1 に示すような容量情報を読みこむ。この容量情報は、容量素子について、容量素子名、ノード名、容量値の情報が記載されており、図 6 5 の 8 2 0 2 のような抵抗回路網に付加している容量の情報を表している。

ステップ 8 6 0 3 で、電源線依存情報記憶手段 8 1 0 3 に記憶された図 6 8 に示す電源線依存情報を読みこむ。

#### 【 0 2 3 0 】

前記実施例では、事前に過渡解析により電流補正項目ごとに用意しておく等価抵抗と等価容量と電流補正係数値の関係をあらわすテーブル（図 6 8 の 8 5 0 1 ）が電源線依存情報である。以下、図 7 1 を用いてテーブルの求め方の例を示す。

（１） まず、電源線の RC を含むネットリストデータ用意し過渡解析をおこない、電源電流波形を算出する。こうして得た電源電流波形から、ピークとその近傍で形成されている電流波形部分（図 7 1 の 8 8 0 1 ）を抽出する。この電流波形は上記従来例で紹介した（Ａ）の手法で求めたものであるため、精度が高い。

#### 【 0 2 3 1 】

（２） 上記ネットリストデータの電源線の等価抵抗を求める。等価抵抗の求め方は図 7 2 の 8 9 0 1 に示す通りである。チップの等価抵抗は全インスタンスの等価抵抗の和をインスタンス数で割った値としている。簡単のため抵抗回路ネットワークの接点にインスタンスがつながっていると考える。まず接点ごとに等価



抵抗を算出する。環型配線・星型配線への相互変換、ブリッジ回路形成などを駆使し、キルヒホッフの法則を用いて直流回路網を解くことで算出できる。ついで、全接点の等価抵抗の平均を出すことで、チップの等価抵抗（図 7 1 の 8 8 0 3）が求められる。

## 【 0 2 3 2 】

（３） 上記ネットリストデータの電源線の等価容量を求める。等価容量の求め方は図 7 2 の 8 9 0 2 に示す通りである。チップの等価容量はチップにあるデカップリング容量の総和としている。よって読み込まれた容量素子の容量値をすべて足すことで、チップの等価容量（図 7 1 の 8 8 0 3）が求められる。

## 【 0 2 3 3 】

（４） 上記ネットリストデータの電源線の RC を取り除いたネットリストデータを作成する。次に、作成したネットリストデータで過渡解析をおこない、電源電流波形を算出する。こうして得た電源電流波形から、ピークとその近傍で形成されている電流波形部分（図 7 1 の 8 8 0 2）を抽出する。この電流波形は電源線を理想電源としており、電源線のインピーダンスをまったく考慮していないものである。

## 【 0 2 3 4 】

（５） （１）で求めた電源電流波形（図 7 1 の 8 8 0 1）と、（４）で求めた電源電流波形（図 7 1 の 8 8 0 2）の底辺および面積の比から、底辺用電流補正係数  $\alpha_t$ 、面積用電流補正係数  $\alpha_i$  を算出する（図 7 1 の 8 8 0 4）。

## 【 0 2 3 5 】

（６） チップの等価抵抗、チップの等価容量、各電流補正係数  $\alpha$  を図 6 8 の 8 5 0 1 にプロットする。

## 【 0 2 3 6 】

（７） （１）から（６）の作業を複数のテストデータに対して行い、テーブルが完成する。

前記第 2 1 の実施例では、事前に過渡解析と統計処理により電流補正項目ごとに算出しておく数式が電源線依存情報である。以下、数式の求め方の例を示す。

## 【 0 2 3 7 】

(1) 上記、テーブルの求め方における(1)から(7)の方法から、データベースを作成する。

(2) このデータベースに統計処理を施し、電流補正の項目ごとに、電流波形補正係数が等価抵抗と等価容量で決まるような数式(図68の8502)を作成する。

#### 【0238】

そして、ステップ8604で、電流波形記憶手段8104に記憶された図67に示す推定電流波形のイベント単位モデルを読みこむ。

また、ステップ8605で、抵抗情報からチップの等価抵抗を計算する。上記、テーブルの求め方(2)と同様、電源回路を直流回路網として扱うことで求められる。

ステップ8606で、容量情報からチップの等価容量を計算する。上記、テーブルの求め方(3)と同様、総容量を足し合わせて求められる。

ステップ8607で、電流補正項目ごとの電源線依存情報8103に、ステップ8604で得た等価抵抗とステップ8605で得た等価容量を適用して、対象回路の電流補正係数を求める。

#### 【0239】

この実施例では、図68の8501のようなテーブルで補正係数が求められる。底辺用電流補正係数を $\alpha_t$ 、面積用電流補正係数を $\alpha_i$ 、底辺補正用テーブルを $\chi_t$ 、面積補正用テーブルを $\chi_i$ 、等価抵抗をR、等価容量をCとすると、

$$\alpha_t = \chi_t(R, C)$$

$$\alpha_i = \chi_i(R, C)$$

で与えられている。例として、対象チップの等価抵抗が10Ω、等価容量が100pFを各電流補正のテーブルに代入した時に、底辺用電流補正係数 $\alpha_t$ 、面積用電流補正係数 $\alpha_i$ は、

$$\alpha_t = \chi_t(10, 100 \times 10^{-12}) = 1.3$$

$$\alpha_i = \chi_i(10, 100 \times 10^{-12}) = 0.8$$

のようにして求められる。ここで $100 \times 10^{-12}$ は、 $100 \times 10^{-12}$ を表わす。

## 【 0 2 4 0 】

この実施例では、図 6 8 の 8 5 0 1 のようなテーブルで補正係数が求められる。等価抵抗を  $R$ 、等価容量を  $C$  とするとき、底辺用電流補正係数  $\alpha_t$ 、面積用電流補正係数  $\alpha_i$  がそれぞれ、

$$\alpha_t = (R + 3 \times C \times 10^E + 11) \times 10^{E-2} + 1$$

$$\alpha_i = (2 \times R + C \times 10^E + 11) \times 10^{E-2} + 1$$

という数式で与えられているとする。ここで、ステップ 8 6 0 5 およびステップ 8 6 0 6 で求めた対象チップの等価抵抗が  $10 \Omega$ 、等価容量が  $100 \text{ pF}$  であれば、底辺用電流補正係数  $\alpha_t$ 、面積用電流補正係数  $\alpha_i$  は、

$$\alpha_t = (10 + 3 \times (100 \times 10^{E-12}) \times 10^{E+11}) \times 10^{E-2} + 1 = 1.3$$

$$\alpha_i = - (2 \times 10 + (100 \times 10^{E-12}) \times 10^{E+11}) \times 10^{E-2} + 1 = 0.8$$

のようにして求められる。

## 【 0 2 4 1 】

第 2 2 の実施例では、ステップ 8 6 0 8 で、電流波形情報 8 1 0 4 に対して、ステップ 8 6 0 7 で得た電流補正係数を用いて電流波形を補正する。

第 2 2 の実施例では、ステップ 8 6 0 7 で得た底辺用の電流補正係数を用いて電流波形の底辺を補正する。その際、電流波形の面積は一定に保つ。

補正前の電流波形イベント端子モデルの三角形の面積を  $100$ 、底辺を  $10$ 、高さを  $20$ 、底辺用電流補正係数  $\alpha_t$  を  $1.3$  とすると、補正後の電流波形イベント端子モデルの三角形の面積  $S'$ 、底辺  $T'$ 、高さ  $H'$  は、

$$T' = 10 \times 1.3 = 13$$

$$S' = 100$$

$$H' = 2 \times 100 \times 1 / 13 = 15.4$$

と補正される。

## 【 0 2 4 2 】

第 2 3 の実施例では、ステップ 8 6 0 7 で得た面積用の電流補正係数を用いて電流波形の面積を補正する。その際、電流波形の底辺は一定に保つ。

補正前の電流波形イベント端子モデルの三角形の面積を 100、底辺を 10、高さを 20、面積用電流補正係数  $\alpha_i$  を 0.8 とすると、補正後の電流波形イベント端子モデルの三角形の面積  $S'$ 、底辺  $T'$ 、高さ  $H'$  は、

$$T' = 10$$

$$S' = 100 \times 0.8 = 80$$

$$H' = 2 \times 80 \times 1 / 10 = 16$$

と補正される。

【0243】

ステップ 8609 で、補正の完了した電流波形を、補正電流波形情報として記憶する (8106)。

以上のように、本実施例ではまず前記第 19 の実施例により、過渡解析を用いないため従来例よりも高速で、電源線を考慮した EMI 解析が実現される。

【0244】

さらに、本発明実施例 20 のテーブルを用いる効果として、テーブルによる補正係数算出手法は、統計ばらつきが大きい場合や、補正係数の算出に用いる情報量が多い場合に有効的である。

さらに、本発明実施例 21 の数式を用いる効果として、数式による補正係数算出手法は、データ量が小さいという利点があり、統計ばらつきが少ない場合や、数式の変数部分が少ない場合に有効的である。

さらに、この実施例 19、20、21 では情報の特質により数式とテーブルを使い分けることで、処理時間やデータ量の最適化が可能である。

【0245】

さらに、実施例 22 の、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正をおこなう効果として、電流波形の底辺を最適化することで、図 73 のように電源 RC 成分の影響による瞬時電流のなまりを電源電流波形に反映させられるという効果が得られる。

【0246】

さらに、実施例 23 の、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正をおこなう効果として、電流波形の面積を最適化することで、

図 7 4 のように電源電圧降下 (I R - D r o p) の影響を電源電流波形に反映させられるという効果が得られる。

## 【 0 2 4 7 】

(第 2 4 の実施の形態)

実施例 1 9 では、チップのレイアウトが終了したのち、電源回路網の抵抗情報を直流回路として解くことで等価抵抗を算出するとした。この手法では等価抵抗値としては精度の高いものが得られるが、電源回路が大規模化しているため、キルヒホッフの法則を用いて回路網を解くのに時間を要するという課題がある。

実施例 2 4 では、ポストレイアウトでの電源電流補正手法に関して、チップの形状情報を用いることで、チップの等価抵抗を電源回路網の抵抗情報を直流回路として算出することなく、推定によって得るという手法である。

## 【 0 2 4 8 】

図 7 5 に本発明の実施例 2 4 に関わる不要輻射解析装置の構成を示す。図 7 5 に示す不要輻射解析装置は、抵抗記憶手段 9 2 0 1 と、容量記憶手段 9 2 0 2 と、電源線依存情報記憶手段 9 2 0 3 と、電流波形記憶手段 9 2 0 4 と、形状情報記憶手段 9 2 0 5 と、電流波形補正手段 9 2 0 7 と、補正電流波形記憶手段 9 2 0 6 とからなる。これらのうち、抵抗記憶手段 9 2 0 1 と、容量記憶手段 9 2 0 2 と、電源線依存情報記憶手段 9 2 0 3 と、電流波形記憶手段 9 2 0 4 と、形状情報記憶手段 9 2 0 5 と、補正電流波形記憶手段 9 2 0 6 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

## 【 0 2 4 9 】

一方、電流波形補正手段 9 2 0 7 は前述のコンピュータシステムの電源考慮演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

## 【 0 2 5 0 】

図 7 5 のシステム構成は、図 6 4 に電源回路の形状情報記憶手段 8 5 0 5 を加えたものである。

形状情報記憶手段 9 2 0 5 以外の個々の要素については、図 6 4 と同様であり、実施例 1 9 で説明したとおりである。

【 0 2 5 1 】

したがって、ここでは形状情報記憶手段 9 2 0 5 について説明する。

形状情報記憶手段 9 2 0 5 は、レイアウトデータ作成段階で得ることのできるチップの形状情報である。

・チップの面積情報  
などが入力される。

【 0 2 5 2 】

本発明の実施例 2 4 に関わる不要輻射解析方法を、図 7 5 の電流波形補正手段 9 2 0 7 内を表す図 7 6 のフローで示して、手順を説明する。

尚、ステップ 9 3 1 0 およびステップ 9 3 0 5 以外の各ステップは、図 6 9 と同様であり、実施例 1 9 で説明したとおりである。

まず、ステップ 9 3 0 1 で、抵抗記憶手段 9 2 0 1 に記憶された図 6 5 の 8 2 0 1 に示すような抵抗情報を読みこむ。この抵抗情報は、抵抗素子について、抵抗素子名、両端のノード名、抵抗値の情報が記載されており、図 6 5 の 8 2 0 2 のような抵抗回路網の情報を表している。

ついで、ステップ 9 3 0 2 で、容量記憶手段 9 2 0 2 に記憶された図 6 6 の 8 3 0 1 に示すような容量情報を読みこむ。この容量情報は、容量素子について、容量素子名、ノード名、容量値の情報が記載されており、図 6 5 の 8 2 0 2 のような抵抗回路網に付加している容量の情報を表している。

こののちステップ 9 3 0 3 で、電源線依存情報記憶手段 9 2 0 3 に記憶された図 6 8 に示す電源線依存情報を読みこむ。

さらにステップ 9 3 0 4 で、電流波形記憶手段 8 1 0 4 に記憶された図 7 1 に示す推定電流波形のイベント単位モデルを読みこむ。

そしてステップ 9 3 1 0 で、形状情報記憶手段 9 2 0 5 に記憶された電源回路の形状情報を読みこむ。

さらにステップ 9 3 0 5 で、抵抗情報からチップの等価抵抗を推定する。

【 0 2 5 3 】

本実施例での等価抵抗の推定方法を説明する。

(1) チップの総抵抗を足し合わせる。

(2) (1) で算出した総抵抗値はチップの面積に比例した値となっているため、平方根（正值）をとって補正する。

以上の処理で、チップの等価抵抗を推定する。

例として、チップの総抵抗値が  $400\ \Omega$  となったときは、チップの等価抵抗値は

$$\sqrt{400} = 20\ \Omega$$

と推定できる。

さらにステップ 9306 で、容量情報からチップの等価容量を計算する。上記、テーブルの求め方 (3) と同様、総容量を足し合わせて求められる。

こののちステップ 9307 で、電流補正項目ごとの電源線依存情報 9203 に、ステップ 9305 で得た等価抵抗とステップ 9306 で得た等価容量を適用して、対象回路の電流補正係数を求める。

そして、ステップ 9308 で、電流波形情報 9204 に対して、ステップ 9307 で得た電流補正係数を用いて電流波形を補正する。

最後に、ステップ 9309 で、補正の完了した電流波形を、補正電流波形情報として記憶する (9206)。

#### 【0254】

以上のように、本実施例では過渡解析を用いないため従来例よりも高速で、電源線を考慮した EMI 解析が実現される。

さらに、チップの等価抵抗を算出する際に複雑な電源抵抗の回路網を解かなくても良いため、精度は落ちるものの、より高速な EMI 解析が実現される。

#### 【0255】

(第 25 から第 31 の実施の形態)

実施例 19 で、過渡解析を用いずに電源電流の算出に電源線のインピーダンスの影響を EMI 解析結果に盛り込む手法として提案している。しかし実施例 19 では、レイアウトデータから LPE 処理を用いて電源線の抵抗および容量を用意しなければならないためレイアウトの完成を待つ必要がある。また LSI の大規模化に伴い LPE の処理時間も長くなるため、EMI 解析に入る前段階で時間がかかってしまう。実施例 25 から 31 はこの課題を解決するものである。

## 【 0 2 5 6 】

本実施形態は、過渡解析を用いずに電源電流の算出に電源線のインピーダンスの影響を E M I 解析結果に盛り込む手法であり、加えて、フロアプランの段階で得られる情報からチップの電源回路の等価抵抗および等価容量を推定し、電流波形の補正をおこなう手法である。

## 【 0 2 5 7 】

図 7 7 および図 7 9 に本発明の実施例 2 5 から 3 1 の一実施例に関わる不要輻射解析方法の構成を示す。

先に、図 7 7 に示す電流波形補正手段を中心とする構成について説明する。

図 7 7 に示す不要輻射解析装置は、等価抵抗記憶手段 9 4 0 1 と、等価容量記憶手段 9 4 0 2 と、電源線依存情報記憶手段 9 4 0 3 と、電流波形記憶手段 9 4 0 4 と、電流波形補正手段 9 4 0 7 と、補正電流波形記憶手段 9 4 0 6 からなる。

これらのうち等価抵抗記憶手段 9 4 0 1 と、等価容量記憶手段 9 4 0 2 と、電源線依存情報記憶手段 9 4 0 3 と、電流波形記憶手段 9 4 0 4 と、補正電流波形記憶手段 9 4 0 6 は前述のコンピュータシステムの外部記憶装置に割り当てられている。

## 【 0 2 5 8 】

一方、電流波形補正手段 9 4 0 7 は前述のコンピュータシステムの電源考慮演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

これらの図 7 7 を構成する個々の要素について説明する。

等価抵抗記憶手段 9 4 0 1 は、フロアプランの段階で推定する電源回路網の抵抗値の情報であり、あらかじめ等価抵抗情報として記憶されている。

等価容量記憶手段 9 4 0 2 は、フロアプランの段階で推定する電源回路網の容量値の情報であり、あらかじめ等価容量情報として記憶されている。

電源線依存情報記憶手段 9 4 0 3 は、理想電源として算出している推定電流波形を電源回路網の等価容量や等価抵抗の情報に基づき補正するための情報であり、あらかじめテーブルや数式として記憶している。



そして、電流波形記憶手段 9 4 0 4 と、イベントドリブン型シミュレータで計算された推定電流波形の情報であり、あらかじめ図 7 1 に示すような推定電流波形情報を記憶している。

この推定電流波形情報は、イベントの発生した時刻と三角形の底辺および高さの情報から構成されている。

補正電流波形記憶手段 9 4 0 6 は、電流波形補正手段 9 4 0 7 で計算された補正電流波形情報を記憶するものである。

電流波形補正手段 9 4 0 7 では、上記、等価抵抗情報 9 4 0 1、等価容量情報 9 4 0 2、電源線依存情報 9 4 0 3 から、電流波形の補正をする補正係数を求める工程と、求めた補正係数を用いて、上記、電流波形 9 4 0 4 に補正を施し、補正電流波形 9 4 0 6 を求める工程で構成されるものである。

#### 【 0 2 5 9 】

実施例としての処理フローは、後述する。

ひきつづき、図 7 9 に示す等価抵抗推定手段および等価容量推定手段を中心とする構成について説明する。図 7 9 の構成は、チップ形状情報記憶手段 9 6 0 1 と、テクノロジー情報記憶手段 9 6 0 2 と、電源パッド情報記憶手段 9 6 0 3 と、構成モジュール情報記憶手段 9 6 0 4 と、電源配線幅情報記憶手段 9 6 0 5 と、データベース記憶手段 9 6 0 7 と、等価抵抗推定手段 9 6 0 8 と、等価容量推定手段 9 6 0 9 と、等価抵抗記憶手段 9 6 1 0 と、等価容量記憶手段 9 6 1 1 からなる。

#### 【 0 2 6 0 】

これらのうちチップ形状情報記憶手段 9 6 0 1 と、テクノロジー情報記憶手段 9 6 0 2 と、電源パッド情報記憶手段 9 6 0 3 と、構成モジュール情報記憶手段 9 6 0 4 と、電源配線幅情報記憶手段 9 6 0 5 と、データベース記憶手段 9 6 0 7 と、等価抵抗記憶手段 9 6 1 0 と、等価容量記憶手段 9 6 1 1 は前述のコンピュータシステムの外部記憶装置に割り当てられている。

#### 【 0 2 6 1 】

一方、等価抵抗推定手段 9 6 0 8 と、等価容量推定手段 9 6 0 9 は前述のコン

ピュータシステムの電源考慮演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

第 2 5 の実施の形態は、図 7 7 に示す不要輻射解析方法全体の概念を示している。

第 2 6 の実施の形態は、図 8 0 に示す電流波形補正手段のフローチャートのステップ 9 7 0 3 に示すように、等価抵抗および等価容量をチップの面積情報から推定する。

第 2 7 の実施の形態は、図 8 0 に示す電流波形補正手段のフローチャートのステップ 9 7 0 4 に示すように、等価抵抗および等価容量をテクノロジー情報から推定する。

#### 【 0 2 6 2 】

第 2 8 の実施の形態は、図 8 0 に示す電流波形補正手段のフローチャートのステップ 9 7 0 5 に示すように、等価抵抗および等価容量をチップ形状と電源パッドの位置から推定する。

第 2 8 の実施の形態は、図 8 0 に示す電流波形補正手段のフローチャートのステップ 9 7 0 6 に示すように、等価抵抗および等価容量を電源パッド数から推定する。

第 2 8 の実施の形態は、図 8 0 に示す電流波形補正手段のフローチャートのステップ 9 7 0 7 に示すように、等価抵抗および等価容量を電源配線の幅情報から推定する。

第 2 8 の実施の形態は、図 8 0 に示す電流波形補正手段のフローチャートのステップ 9 7 0 8 に示すように、等価抵抗および等価容量を電源配線下の容量生成領域情報情報から推定する。

#### 【 0 2 6 3 】

次に、これらの図 7 9 の不要輻射解析方法を構成する個々の要素について説明する。

チップ形状情報記憶手段 9 6 0 1 は、対象チップの形状に関する情報をもつ。  
このチップ形状情報には、

- ・仕様段階で決定しているチップの面積・仕様段階で決定しているチップの形

などが入力される。

・ そのうち、「仕様段階で決定しているチップの面積」をのぞき、これら構成要素がすべて入力されている必要はない。

【 0 2 6 4 】

テクノロジー情報記憶手段 9 6 0 2 は、対象チップの製造プロセスの情報をもつ。

このテクノロジー情報には、

- ・ 仕様段階で決定している電源配線層の情報
- ・ 仕様段階で決定している配線層間の誘電率
- ・ 仕様段階で決定している電源配線シート抵抗値
- ・ 仕様段階で決定している適用テクノロジー

などが入力される。

これら構成要素がすべて入力されている必要はない。

【 0 2 6 5 】

電源パッド情報記憶手段 9 6 0 3 は、対象チップの電源パッドの情報をもつ。

この電源パッド情報には、

- ・ 仕様段階で決定している電源パッド数
- ・ 電源パッド位置

などが入力される。

これら構成要素がすべて入力されている必要はない。構成モジュール情報記憶手段 9 6 0 4 は、対象チップを構成している各機能モジュールの情報をもつ。

この各モジュールの面積情報には、

- ・ 仕様段階で決定している各機能モジュールの種類
- ・ 仕様段階で予想される、またはフロアプランで決定する、各機能モジュールの面積情報
- ・ フロアプランで決定する各機能モジュールの位置情報
- ・ フロアプランで決定する各機能モジュールのインスタンス情報
- ・ 仕様段階で予想される、またはフロアプランで決定する、各モジュール内の電源配線の幅

- ・仕様段階で予想される、またはフロアプランで決定する、各モジュール周辺に施す容量セルの有無などが入力される。

これら構成要素がすべて入力されている必要はない。

【 0 2 6 6 】

電源配線幅情報記憶手段 9 6 0 5 は、対象チップの電源配線の幅に関する情報をもつ。

この電源配線幅情報には、

- ・仕様段階で予想される、またはフロアプランで決定する、チップの周りに施すリング電源配線の有無とその幅
  - ・仕様段階で予想される、またはフロアプランで決定する、各モジュール間に配線する基幹電源配線の幅
  - ・仕様段階で予想される、またはフロアプランで決定する、各モジュール間に施すストラップ電源の幅
  - ・仕様段階で予想される、またはフロアプランで決定する、電源配線下のデカップリング容量セルの有無
- などが入力される。

これら構成要素がすべて入力されている必要はない。

【 0 2 6 7 】

データベース記憶手段 9 6 0 7 は、等価抵抗、等価容量の推定に必要となる上記入力項目に応じたデータベース情報をもつ。

等価抵抗記憶手段 9 6 1 0 は、等価抵抗推定手段 9 6 0 8 で算出されるチップの等価抵抗を記憶する。

等価容量記憶手段 9 6 1 1 は、等価容量推定手段 9 6 0 9 で推定されるチップの等価容量を記憶する。

等価抵抗推定手段 9 6 0 8 では、上記各記憶手段から読み込まれる情報に基づいてチップの等価抵抗の推定をおこなう。

【 0 2 6 8 】

実施例としての処理フローは、後述する。

等価容量推定手段 9 6 0 9 では、上記、各記憶手段から読み込まれる情報に基

づいてチップの等価容量の推定をおこなう。

実施例としての処理フローは、後述する。

ひきつづき、実施例 2 5 乃至 3 1 として、等価抵抗推定手段 9 6 0 8 および等価容量推定手段 9 6 0 9 の実施例を図 8 0 に示すようなフローチャートに従って説明する。

まず、ステップ 9 7 0 1 で、データベース記憶手段 9 6 0 7 に記憶されたデータベース情報（図 8 1）を読みこむ。

このデータベース（図 8 1）は、あるチップの各種パラメータ情報と、等価抵抗および等価容量の情報で構成されている。各種パラメータ情報は、チップ設計初期の仕様段階あるいはフロアプラン工程で得ている。等価抵抗および等価容量情報は、前記実施例 1 9 のフローによって得ている。すなわち、この等価抵抗、等価容量はレイアウト設計終了後の L P E 処理で得ることのできる電源回路網の抵抗容量ネットワーク情報から算出しているものであるため、高精度である。

#### 【 0 2 6 9 】

図 8 2 は、このデータベースチップのイメージ図である。

ステップ 9 7 0 2 で、チップ形状情報記憶手段 9 6 0 1、テクノロジー情報記憶手段 9 5 0 2、電源パッド情報記憶手段 9 6 0 3、構成モジュール情報記憶手段 9 6 0 4 および電源配線幅情報記憶手段 9 6 0 5 に記憶された、電流波形補正をおこなう対象チップの各種パラメータ情報（図 8 3）を読み込む。

#### 【 0 2 7 0 】

図 8 3 の項目中、単位面積あたりの容量に関しては、テクノロジー情報記憶手段に記憶されている電源配線層にメタルの何層目が用いられているかの情報と、層間の誘電率から容易に求められる。その他の項目は、上記各記憶情報での構成要素の説明のものである。

#### 【 0 2 7 1 】

この各種パラメータ情報は、先に読み込んでいるデータベースの各種パラメータ情報と対を成すものであり、後のステップでは、それぞれのパラメータで比較をおこなうことでデータベースの等価抵抗、等価容量を変更していき、対象チップの等価抵抗、等価容量を推定する。

## 【 0 2 7 2 】

また、対象チップの各種パラメータ情報は、すべての項目が入力されている必要はない。入力されていない項目に関しては、そのパラメータの比較をおこなうステップが省略される。本実施例では、図 8 3 が与えられたとして、後のステップの説明をおこなう。

## 【 0 2 7 3 】

図 8 4 は、電流波形補正をおこなう対象チップのイメージ図である。  
実施例 2 6 では、ステップ 9 7 0 3 で、チップ面積情報に基づき、データベースの等価抵抗値および等価容量値を変更する。

図 8 5 は、等価抵抗、等価容量の面積依存性を示した図である。図 8 5 で、図 8 5 ( a ) の面積を 4 倍にしたものが図 8 5 ( b ) である。

## 【 0 2 7 4 】

電源回路の抵抗成分に関して、チップ内部を構成している電源配線の幅が同じであれば、面積が 4 倍となっているとき、あるインスタンス M 1 の等価抵抗を比較すると電源パッドからの距離が 2 倍となっているため、等価抵抗値も 2 倍となる。チップの等価抵抗は全インスタンスの等価抵抗の和をインスタンス数で割った値としているので、インスタンス数の増加に等価抵抗は影響されない。よってチップの等価抵抗は面積の平方根に比例する。本実施例では、対象チップの面積がデータベースチップの面積と比較して 4 倍であるから、対象チップの等価抵抗は 2 倍の 4 0 Ω に変更される。

$$20 \times 2 = 40 \Omega$$

電源回路の容量成分に関して、等価容量はチップにあるデカップリング容量の総和としているため、面積に比例すると考えることができる。本実施例では、対象チップの面積がデータベースチップの面積と比較して 4 倍であるから、対象チップの等価容量は 4 倍の 8 0 0 p F に変更される。

$$200 \times 4 = 800 \text{ p F}$$

## 【 0 2 7 5 】

実施例 2 7 では、ステップ 9 7 0 4 で、テクノロジー情報に基づき、等価抵抗値、等価容量値を変更する。

データベースチップのテクノロジー情報と対象チップのテクノロジー情報の比較をおこない、シート抵抗値、単位面積あたりの容量値に違いがあればその情報をもって、変更をおこなう。

#### 【 0 2 7 6 】

本実施例では、データベースチップの面積あたりの容量値  $1.00 \text{ pF}$  に対して、対象チップの面積あたりの容量値は  $0.75 \text{ pF}$  となっている。ゆえに、対象チップの等価容量値は、

$$800 \text{ pF} \times 0.75 = 600 \text{ pF}$$

となる。

等価抵抗値は同じであるため、変更はされない。

実施例 28 では、ステップ 9705 で、チップ形状と電源パッドの位置関係に基づき、等価抵抗値を変更する。

図 86 (a) 乃至 (c) は、等価抵抗、チップ形状と電源パッドの位置に対する依存性を示した図である。

図 86 では、それぞれチップ形状と電源パッドの位置関係が異なるが 3 通り示されている。

電源回路の抵抗成分としては、一般的にリング電源配線や基幹電源配線に寄生するグローバル抵抗成分と、基本セル内電源配線、基本セル間電源配線などで構成されるモジュール内の電源配線に寄生するローカル抵抗成分に分類される (図 87)。図 87 であれば、 $R1$ 、 $R2$  がグローバル抵抗、 $R3$  がローカル抵抗となる。

#### 【 0 2 7 7 】

尚、本実施例では、フロアプラン工程にて配置をおこなうトップのモジュールに着目し、その外部をグローバル抵抗、その内部をローカル抵抗として説明をおこなうが、グローバルとローカルの境界は、求める等価抵抗 (チップであるかモジュールであるか) によって、その限りではない。

図 86 (a) は、電源パッドとの距離に応じてチップのエリアをわけているものであり、エリア 1 とエリア 2 の 2 通りの区分がされる。エリア 1 とエリア 2 では、ローカル抵抗はほぼ同じであると考えることができるが、グローバル抵抗は

、エリア2の方が大きいと考えられる。エリア1とエリア2の等価抵抗はそれぞれ、グローバル抵抗とローカル抵抗の和として考えることができる。簡単のため、エリア1のグローバル抵抗を1Ω、エリア2のグローバル抵抗を2Ωとすると、このときチップの等価抵抗のグローバル成分は、

$$1 + 1 + 2 + 2 = 6 \Omega$$

となる。

【0278】

図86(b)は、チップ形状が違うが、電源パッドとの距離に着目すると、上図とおなじエリアに分類され、チップの等価抵抗のグローバル成分は、

$$1 + 1 + 2 + 2 = 6 \Omega$$

となる。

図86(c)は、チップ形状と電源パッドの距離が遠い、エリア3、エリア4が存在する。これらのグローバル抵抗成分は、電源パッドから遠い程大きい。簡単のため、エリア3のグローバル抵抗を3Ω、エリア4のグローバル抵抗を4Ωとすると、このときチップの等価抵抗のグローバル成分は、

$$1 + 1 + 3 + 4 = 9 \Omega$$

となる。

【0279】

図86(b)のグローバル抵抗から図86(c)のグローバル抵抗を推定する場合の補正値を $\alpha_g$ とすると、

$$\alpha_g = 9 / 6 = 1.5$$

となる。さらにグローバル抵抗とローカル抵抗の支配項を示すグローバル係数を $k$ とすると、等価抵抗への補正値を $\alpha$ とすると、 $\alpha$ は、

$$\begin{aligned} \alpha &= (\alpha_g - 1) k + 1 \\ &= (1.5 - 1) k + 1 \end{aligned}$$

となる。

【0280】

このようなグローバル抵抗と、チップ形状と電源パッドの位置の依存関係を複数データベースに記憶しておく。仮に、図86(b)がデータベースチップの形



状および電源パッド位置、図 8 6 (c) が対象チップの形状および電源パッド位置、グローバル係数  $k$  が 0.5 の場合 (グローバル係数は数種のデータベースチップから得る統計情報である)、データベースチップの等価抵抗が  $20\ \Omega$  なら、対象チップの等価抵抗は、

$$20 \times \alpha = 20 \times \{ (1.5 - 1) \times 0.5 + 1 \} = 20 \times 1.25 = 25\ \Omega$$

となる。

#### 【 0 2 8 1 】

本実施例では、チップ形状と電源パッドの位置関係が同じであるため、このステップで等価抵抗値の変更はない。

実施例 29 では、ステップ 9 7 0 6 で、電源パッド数に基づき、等価抵抗値を変更する。

図 8 8 (a) 乃至 (c) は、等価抵抗の電源パッド数依存性を示した図である。内部の回路構成は同一で、電源パッド数のみ違う例である。

図 8 8 (a) のようにチップのエリアを 4 つに分けたとき、ステップ 9 7 0 5 で示した通り、電源パッドからの距離に応じてエリア 1 とエリア 2 に分けることができる。簡単のためエリア 1 の等価抵抗値を  $1\ \Omega$ 、エリア 2 の等価抵抗を  $2\ \Omega$  とする。そのときチップの等価抵抗値は、

$$1 + 1 + 2 + 2 = 6\ \Omega$$

となる。

#### 【 0 2 8 2 】

次に、図 8 8 (b) のように電源パッドを対角に追加する。電源パッドの追加位置については通常チップに均等になるように配置する。この時、下に配置されている電源パッドからみればエリア 1 とされているエリアがエリア 2 に、エリア 2 とされているところがエリア 1 となる。これは、ひとつのエリアに 2 つの電源パッドから電圧が供給されることを意味する。簡単のため、電源パッドからそれぞれのエリアまでの電源線が電源パッドどうしで共有しないと仮定すれば、図 8 8 (b) に示すようにそれぞれのエリアの等価抵抗値は  $0.67\ \Omega$  となり、チップの等価抵抗値は、

$$0.67 + 0.67 + 0.67 + 0.67 = 2.67 \Omega$$

となる。

【0283】

同様に考えると、図88(c)の構成のときは、チップの等価抵抗値は、

$$0.33 + 0.33 + 0.33 + 0.33 = 1.33 \Omega$$

となる。

図88(b)の電源パッド構成から図88(c)の電源パッド構成に変更されている場合、等価抵抗値に対する補正値を $\alpha_c$ とすると、

$$\alpha_c = 1.33 / 2.67 = 0.5$$

となる。さらに電源線の非共有係数を $k$ とすると、等価抵抗への補正値を $\alpha$ とすると、 $\alpha$ は、

$$\begin{aligned} \alpha &= (\alpha_c - 1)k + 1 \\ &= (0.5 - 1)k + 1 \end{aligned}$$

となる。

【0284】

このような等価抵抗と電源パッド数の依存関係を複数データベースに記憶しておく。仮に、図88(b)がデータベースチップの形状および電源パッド数、図88(c)が対象チップの形状および電源パッド数、電源線の非共有係数 $k$ が0.2の場合、データベースチップの等価抵抗が $20 \Omega$ なら、対象チップの等価抵抗は、

$$\begin{aligned} 20 \times \alpha &= 20 \times \{ (0.5 - 1) \times 0.2 + 1 \} = 20 \times 0.9 \\ &= 18 \Omega \end{aligned}$$

となる。

【0285】

本実施例では、データベースチップの電源パッドが1で、対象チップの電源パッドが2である。データベースチップからあらかじめ求められているエリアごとの等価抵抗値情報および非共有係数（非共有係数は数種のデータベースチップから得る統計情報である）から対象チップに施す補正値 $\alpha$ が、上記の図88であれば、対象チップの等価抵抗は、

$$40 \times 0.9 = 36 \Omega$$

ど、さらに変更される。

【0286】

実施例30では、ステップ9707で、電源配線の幅情報に基づき、等価抵抗値および等価容量値を変更する。

図89(a)および(b)は、等価抵抗の電源配線幅依存性を示した図である。

図89(a)でモジュールへ電源が供給される電源配線は、R1とR2の直列成分であるとする。図89(a)に対して、図89(b)は、グローバルな電源配線であるリング配線とモジュール間基幹電源配線の幅が広がっている。今、図89(b)図で、グローバル電源配線幅が2倍になっているとすると、抵抗は配線幅に反比例するので、R4、R5はR1、R2のそれぞれ1/2となる。すなわち図89(b)でモジュールへ供給されているグローバル電源配線の抵抗成分は1/2となっている。このようにチップ全体のグローバル電源配線の抵抗値は、グローバル電源幅に反比例すると考えることができる。したがってチップのグローバル抵抗の補正係数を $\alpha_g$ とすると、 $\alpha_g$ は、

$$\alpha_g = (1/2) = 0.5$$

となる。

【0287】

さらにグローバル抵抗とローカル抵抗の支配項を示すグローバル係数をkが0.5の場合、チップの等価抵抗に対する補正係数を $\alpha$ とすると、 $\alpha$ は、

$$\alpha = \{(0.5 - 1) \times 0.5 + 1\} = 0.75$$

となる。

グローバル係数は数種のデータベースチップから得る統計情報である。

【0288】

本実施例では、データベースチップに対して対象チップのグローバル電源配線の幅が1.5倍となっている。モジュール内の配線幅は、同じである。また、データベースチップからあらかじめ求められているグローバル係数kが0.5であるとする、対象チップの等価抵抗は、

$$36 \times \{ (0.67 - 1) \times 0.5 + 1 \} = 36 \times 1.16 = 30 \Omega$$

と、さらに変更される。

#### 【 0 2 8 9 】

図 9 0 は、容量値の電源配線幅依存性を示した図である。

図 9 0 のとおり電源配線の容量成分は、電源配線の幅に比例する。

データベースチップの等価容量値から対象チップの等価容量値に変更をする時は、最初の工程であるステップ 9 7 0 3 でのチップ面積情報の反映において、この電源配線幅の考慮が行われているため、実施しない。この電源配線幅による等価容量値の変更を行うのは、面積が同じで、電源配線の幅を変更した時である。仕様段階での電源配線幅から、フロアプラン工程において電源配線幅に変更を施した場合などが相当する。

#### 【 0 2 9 0 】

等価容量値と電源配線幅の関係は、等価抵抗値と電源配線幅の関係と正反対となり、等価容量値は電源配線幅に比例して変更するようにする。また、容量成分に関しては、グローバル配線でのデカップリング容量が支配的であるため、変更に際してローカル配線部分は考慮しない。

#### 【 0 2 9 1 】

今、図 8 9 ( a ) が仕様段階での配線幅、図 8 9 ( b ) がフロアプランで決定した配線幅、両図の面積は同じとする。図 8 9 ( a ) の段階でのチップの等価容量値が 5 0 0 p F で、図 8 9 ( b ) の段階で配線幅が 2 倍になったとすると、チップの等価容量値は、

$$500 \times 2 = 1000 \text{ p F}$$

となる。

#### 【 0 2 9 2 】

本実施例では、データベースチップの等価容量値から変更をおこなうフローにしたがっているため、ここで等価容量値の変更はない。

実施例 3 1 では、ステップ 9 7 0 8 で、電源配線下のデカップリング容量セルの有無に基づき、等価容量値を変更する。

デカップリング容量セルを電源配線下に作りこむかどうかの情報から、電源配

線の面積あたりの容量値が変更されることとなる。今、電源配線下に生じる単位面積あたりの寄生カップリング容量を  $1.00 \text{ pF}$ 、電源配線下に作りこむゲート容量による容量セルの単位面積あたりの値を  $2.00 \text{ pF}$  とすると、電源配線下のすべてに容量セルをつくると、つくらない場合に比べて2倍のでカップリング容量値となる。

## 【 0 2 9 3 】

本実施例において、データベースチップでは容量セルをつくらないのに対して、対象チップでは、全電源配線下に容量セルを作りこむとする。上のように、単位面積あたりの寄生カップリング容量が  $1.00 \text{ pF}$ 、単位面積あたりの容量セルが  $2.00 \text{ pF}$  とすると、チップの等価容量は、

$$600 \text{ pF} \times 2 = 1200 \text{ pF}$$

となる。

## 【 0 2 9 4 】

ステップ 9 7 0 9 で、等価抵抗値、等価容量記憶手段および等価容量記憶手段に記憶する。

本実施例のデータベースチップと対象チップの場合、以上のステップを経て、対象チップの等価抵抗、等価容量が、

等価抵抗：  $30 \Omega$

等価容量：  $1200 \text{ pF}$

と推定される。

## 【 0 2 9 5 】

尚、本実施例で説明をおこなったステップはすべて行う必要はなく、対象チップの情報がえられている項目に対しておこなうだけでもよい。

以上のようにして、実施例 2 5 から実施例 3 1 記載の等価抵抗推定手段および等価容量推定手段が実現される。

## 【 0 2 9 6 】

ひきつづき、実施例 2 5 から実施例 3 1 の実施例として、電流波形補正手段 9 4 0 7 の実施例を図 7 8 に示すようなフローチャートに従って説明する。

尚、ステップ 9 5 0 1、ステップ 9 5 0 2、ステップ 9 5 0 5 およびステップ 9

5 0 6 以外の各ステップは、図 6 9 と同様であり、実施例 1 9 で説明したとおりである。

【 0 2 9 7 】

まずステップ 9 5 0 1 で、等価抵抗記憶手段 9 4 0 1 に記憶されたチップの等価抵抗情報を読みこむ。

ついで、ステップ 9 5 0 2 で、等価容量記憶手段 9 4 0 2 に記憶されたチップの等価容量情報を読みこむ。

こののち、ステップ 9 5 0 3 で、電源線依存情報記憶手段 9 4 0 3 に記憶された図 6 8 に示す電源線依存情報を読みこむ。

さらにステップ 9 5 0 4 で、電流波形記憶手段 9 4 0 4 に記憶された図 7 1 に示す推定電流波形のイベント単位モデルを読みこむ。

そして、ステップ 9 5 0 5 で、抵抗情報からチップの等価抵抗を計算する。本実施例では、抵抗情報はすでにチップの等価抵抗となっているので、このステップは実質的には省略される。

こののち、ステップ 9 5 0 6 で、容量情報からチップの等価容量を計算する。

【 0 2 9 8 】

本実施例では、容量情報はすでにチップの等価容量となっているので、このステップは実質的には省略される。

さらにステップ 9 5 0 7 で、電流補正項目ごとの電源線依存情報 9 4 0 3 に、ステップ 9 5 0 5 で得た等価抵抗とステップ 9 5 0 6 で得た等価容量を適用して、対象回路の電流補正係数を求める。

そして、ステップ 9 5 0 8 で、電流波形情報 9 4 0 4 に対して、ステップ 9 5 0 7 で得た電流補正係数を用いて電流波形を補正する。

こののち、ステップ 9 5 0 9 で、補正の完了した電流波形を、補正電流波形情報として記憶する（9 4 0 6）。

【 0 2 9 9 】

以上のように、本実施例では過渡解析を用いないため従来例よりも高速で、電源線を考慮した E M I 解析が実現される。

さらに、実施例 2 5 の効果として、レイアウトの完成を待たず、早期設計段階

において電源線の影響を考慮した E M I 解析が実現できる。

さらに、実施例 2 6 の効果として、チップ面積情報を用いることで、高精度に電源線の影響を考慮した E M I 解析が実現できる。

さらに、実施例 2 7 の効果として、テクノロジー情報を用いることで、高精度に電源線の影響を考慮した E M I 解析が実現できる。テクノロジーごとにデータベースを用意する必要がないメリットもある。

さらに、実施例 2 8 の効果として、チップ形状および電源パッドの位置情報を用いることで、さらに高精度に電源線の影響を考慮した E M I 解析が実現できる。

#### 【 0 3 0 0 】

さらに、実施例 2 9 の効果として、電源パッド数情報を用いることで、高精度に電源線の影響を考慮した E M I 解析が実現できる。電源パッド数の E M I に対する最適化をフロアプランの段階で行うことが可能となる。

さらに、実施例 3 0 の効果として、チップを構成する電源配線の幅情報を用いることで、高精度に電源線の影響を考慮した E M I 解析が実現できる。電源配線幅の E M I に対する最適化をフロアプランの段階で行うことが可能となる。

さらに、実施例 3 1 の効果として、電源配線下の容量生成領域情報を用いることで、高精度に電源線の影響を考慮した E M I 解析が実現できる。容量生成の E M I に対する最適化をフロアプランの段階で行うことが可能となる。

#### 【 0 3 0 1 】

##### (第 3 2 の実施の形態)

実施形態 1 9 から 2 4 では、チップの等価抵抗および等価容量を算出し、チップ全体にわたって同じ電流補正を行っている。

実施形態 3 2 では、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうという手法である。

本発明の実施形態 3 2 に関わる不要輻射解析方法を説明する。

システム構成は、実施例 1 9 で示した図 6 4 と同じであるので、本システムの個

々の構成要素の説明は省略する。

また、本実施例の電流波形補正手段は、図 6 4 の電流波形補正手段 8 1 0 7 内を表す図 6 9 のフローと同じである。

本実施例での図 6 9 の個々のステップに対して、説明をおこなう。

ステップ 8 6 0 1 で、抵抗記憶手段 8 1 0 1 に記憶された図 6 5 の 8 2 0 1 に示すような抵抗情報を読みこむ。この抵抗情報は、抵抗素子について、抵抗素子名、両端のノード名、抵抗値の情報が記載されており、図 6 5 の 8 2 0 2 のような抵抗回路網の情報を表している。

まず、ステップ 8 6 0 2 で、容量記憶手段 8 1 0 2 に記憶された図 6 6 の 8 3 0 1 に示すような容量情報を読みこむ。この容量情報は、容量素子について、容量素子名、ノード名、容量値の情報が記載されており、図 6 5 の 8 2 0 2 のような抵抗回路網に付加している容量の情報を表している。

そして、ステップ 8 6 0 3 で、電源線依存情報記憶手段 8 1 0 3 に記憶された図 6 8 に示す電源線依存情報を読みこむ。

こののち、ステップ 8 6 0 4 で、電流波形記憶手段 8 1 0 4 に記憶された図 7 1 に示す推定電流波形のイベント単位モデルを読みこむ。

#### 【 0 3 0 2 】

さらに、ステップ 8 6 0 5 で、抵抗情報からチップの等価抵抗を計算する。実施例 1 9 はチップに対して等価抵抗を算出しているが、本実施例ではモジュール毎に等価抵抗を算出する。対象モジュール内の抵抗素子および電源から対象モジュールまでに存在する電源回路網の抵抗素子を直流回路として扱い、対象モジュールの等価抵抗を算出する。あるいは実施例 2 4 のように対象となる抵抗素子の総和をもとめ、平方根（正值）をとることでモジュールの等価抵抗を推定する。

#### 【 0 3 0 3 】

こののちステップ 8 6 0 6 で、容量情報からチップの等価容量を計算する。実施例 1 9 でのテーブルの求め方（3）では、チップの等価容量値をチップの総容量を足し合わせて算出した。これと同様の考え方で、モジュールごとの等価容量値は対象モジュール内の容量素子および電源から対象モジュールまでに存在する容量素子の容量値を足し合わせて算出する。



## 【 0 3 0 4 】

ステップ 8 6 0 7 で、電流補正項目ごとの電源線依存情報 8 1 0 3 に、ステップ 8 6 0 5 で得たモジュールの等価抵抗とステップ 8 6 0 6 で得たモジュールの等価容量を適用して、対象モジュールの電流補正係数を求める。

ステップ 8 6 0 8 で、電流波形情報 8 1 0 4 に対して、ステップ 8 6 0 7 で得たモジュールごとの電流補正係数を用いてモジュールごとに電流波形を補正し、それらを足し合わせる。

## 【 0 3 0 5 】

ステップ 8 6 0 9 で、補正の完了した電流波形を、補正電流波形情報として記憶する ( 8 1 0 6 ) 。

以上のように、本実施例では過渡解析を用いないため従来例よりも高速で、電源線を考慮した E M I 解析が実現される。

さらに、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことができる。

## 【 0 3 0 6 】

尚、モジュールごとに F F T 解析をおこなう場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶し F F T 解析に用いることで、高精度なモジュールごとの E M I 解析が実現できる。

## 【 0 3 0 7 】

(第 3 3 の実施の形態)

実施形態 2 5 から 3 1 では、チップの等価抵抗および等価容量を推定し、チップ全体にわたって同じ電流補正を行っている。

実施形態 3 3 では、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれぞれ補正係数を算出したことで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうという手法である。

## 【 0 3 0 8 】

本発明の実施形態 3 3 の一実施例に関わる不要輻射解析方法を説明する。

システム構成は、実施形態 2 5 で示した図 7 7 と同じであるので、本システムの個々の構成要素の説明は省略する。

また、本実施形態の電流波形補正手段は、図 7 7 の電流波形補正手段 9 4 0 7 内を表す図 7 8 のフローに対してチップの等価抵抗、等価容量を用いるのに代わり、モジュールの等価抵抗、等価容量を用いることで実施される。

#### 【 0 3 0 9 】

等価抵抗推定および等価容量推定に関するシステム構成は、実施例 2 5 で示した図 7 9 と同じ構成であるため、説明を省略する。

また、本実施例の等価抵抗推定手段および等価容量推定手段は、図 7 9 の等価抵抗推定手段 9 6 0 8 および等価容量推定手段 9 6 0 9 内を表す図 8 0 のフローで、チップに対して行っている処理をモジュールに対して行うことで実施される。その際、電源パッドに代わって、モジュールの電源供給口を電源パッド情報として用いる。

#### 【 0 3 1 0 】

さらに、図 8 0 のステップ 9 7 0 8 までで求めたモジュールの等価抵抗、等価容量は、モジュール内のローカル抵抗、ローカル容量であるため、チップの電源パッドからモジュールまでに存在するグローバル抵抗、グローバル容量を付加しなければならない。グローバル抵抗、グローバル容量は、モジュールの電源供給口からチップの電源パッドまでの距離と、電源配線幅の情報から容易に求められる。このグローバル抵抗、グローバル容量を先のステップ 9 7 0 8 で求めた等価抵抗、等価容量に足し合わせることで、モジュール毎の等価抵抗、等価容量が推定できる。

#### 【 0 3 1 1 】

以上のように、本実施例では過渡解析を用いないため従来例よりも高速で、電源線を考慮した E M I 解析が実現される。

さらに、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれぞれ補正係数を算出したことで、個々のモジュールに対してより正確な推定電流波形の補正をプリレイ

アウトの段階でおこなうことができる。

【 0 3 1 2 】

尚、モジュールごとに F F T 解析をおこなう場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶し F F T 解析に用いることで、高精度なモジュールごとの E M I 解析が実現できる。

【 0 3 1 3 】

(第 3 5 の実施の形態)

実施形態 3 5 は、不要輻射解析における電源線のインダクタンス成分を考慮する手法である。

この例は、実施形態 1 9 の図 6 4 とほぼ同様のシステムである。

【 0 3 1 4 】

図 6 4 において、電源線依存情報から電流補正係数を算出する際、チップのパッケージ情報から電源リード部および電源ワイヤボンディング部に相当するインダクタンス成分を、抵抗、容量に加え、第三の要素とすればよい。電源のインダクタンス成分と電流波形の関係を事前にテーブル化し、電源線依存情報として加えることで実現できる。

【 0 3 1 5 】

この実施形態 3 5 の効果として、チップのパッケージのインダクタンス成分を考慮した高精度な電流補正が可能となる。

【 0 3 1 6 】

(第 3 6 の実施の形態)

実施形態 3 6 は、不要輻射解析における理想電源の電流波形に対する電源線考慮方法として、推定電流波形のイベント単位モデルに対して補正する手法に代わり、理想電源として求めた E M I 解析対象の電流波形に対して補正を行う手法である。

この例は、実施形態 1 9 の図 6 4 とほぼ同様のシステムである。

【 0 3 1 7 】

図 6 4 において、電流波形記憶手段に、推定電流波形のイベント単位モデルのかわりに、理想電源として求めたチップまたはモジュールの電源電流波形を記憶

し、その電源電流波形に補正をおこなうことで実現できる。

【0318】

この実施形態36の効果として、理想電源として求めたチップまたはモジュールの電源電流波形に補正を行うため、チップまたはモジュールの電源電流を算出する段階まで処理を進めることが可能となる。レイアウト完成前あるいはフロアプラン工程前に作業を進めることでEMI解析全体の短TAT化が実現できる。また、トランジスタレベルでのEMI解析においても、電流波形の補正をおこない電源線の影響を考慮するという手法を使うことができるという効果がある。

【0319】

【発明の効果】

本発明は、不要輻射の主要因とも言える電源電流の変化の解析において、電源及びグラウンドの抵抗、容量、インダクタンスによるデカップリングの影響をゲートレベルの電源電流計算に反映することにより高速性と高精度化を両立させ、シミュレーション上においてLSIの不要輻射を現実的な時間で評価することを可能にする。さらには、EMI発生個所の特定を支援することによる効率的なEMI対策をも可能にするものである。

【0320】

1) LSIの不要輻射解析における解析機能

以上説明したように、

本発明の請求項1および2は、  
電流周波数成分が大きくなる周波数の精度を保ちながら従来例よりも高速かつ少メモリでFFT結果が得ることが出来るので、特にノイズの影響が周期的な繰り返しで決まってくる同期回路で高精度となることに優れた効果を有する。

【0321】

本発明の請求項3によれば、時間は従来例よりもかかるが、電流計算バッファに必要となるメモリを節約することができるという効果を有する。

【0322】

本発明の請求項4は、処理速度を低下することなく、電流計算バッファに必要

となるメモリを節約することが出来、全周波数帯域での周波数の精度を保ちながら従来例よりも高速かつ少メモリでFFT結果を得ることが出来るとともに、あらかじめ電流計算バッファに必要となるメモリが予測できるので、特にノイズの影響が周期的な繰り返しで決まってくる同期回路で高精度かつ安定動作となることに優れた効果を有する。

【 0 3 2 3 】

本発明の請求項5は、従来例よりも少メモリでFFT結果を得ることが出来、特に電流周波数成分の高い周波数が限られてくる回路でのメモリ節約率が高くなることに優れた効果を有する。

【 0 3 2 4 】

本発明の請求項6は、従来例よりも少メモリでFFT結果を得ることが出来、またあらかじめFFT結果情報に必要となるメモリを予測出来るので、特に電流周波数成分の高い周波数の数を限定できる回路において安定動作となることに優れた効果を有する。

【 0 3 2 5 】

本発明の請求項7は、従来例よりも高速となり、かつ原因個所の推定を容易とすることに優れた効果を有する。

【 0 3 2 6 】

本発明の請求項8は、従来例に対して電流計算やFFTを省略出来、高速となるとともに、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定を容易となることに優れた効果を有する。

【 0 3 2 7 】

本発明の請求項9は、従来例に対して電流計算やFFTを省略出来、高速となるとともに、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定を容易とし、またあらかじめ電流計算に必要となるメモリを予測出来るので、特に電流量の高い回路素子の数を限定できる回路において安定動作となることに優れた効果を有する。

【 0 3 2 8 】

本発明の請求項10は、従来例に対して論理変化計算の段階で計算量節約を決

定することが出来、電流計算や F F T を省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定を容易となることに優れた効果を有する。

【 0 3 2 9 】

本発明の請求項 1 1 は、従来例に対して論理変化計算の段階で計算量節約を決定することが出来、電流計算や F F T を省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定を容易とし、またあらかじめ電流計算に必要となるメモリを予測出来るので、特に論理変化数の高い回路素子の数を限定できる回路において安定動作となることに優れた効果を有する。

【 0 3 3 0 】

本発明の請求項 1 2 は、従来例に対して論理変化計算以前の段階で計算量節約を決定することが出来、論理変化計算や電流計算や F F T を省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定を容易とすることに優れた効果を有する。

【 0 3 3 1 】

2) L S I の不要輻射解析におけるユーザインターフェース

本発明の請求項 1 3 は、ノイズに影響する箇所を回路素子単位のインスタンスで特定することが可能となることに優れた効果を有する。

本発明の請求項 1 4 は、ノイズに影響する箇所を 1 つ以上のインスタンスを単位とするブロック単位で特定するもので、請求項 1 2 の前段階でトップダウンでマクロ的に問題箇所を高速に特定することが可能となることに優れた効果を有する。

【 0 3 3 2 】

本発明の請求項 1 5 は、ノイズに影響する箇所をレジスタ・組み合わせ回路・メモリ等のインスタンス群ごとに特定する手段を有するもので、設計者がアーキテクチャーレベルでの改善をする上で必要な情報を提供できることに優れた効果を有する。

【 0 3 3 3 】

本発明の請求項 1 6 は、ノイズに影響する箇所をクロックツリー群ごとに特定する手段を有するもので、電力に大きく影響するクロック部でのノイズの影響を見ることができ、設計者がクロック制御による改善を図るのに有効であることに優れた効果を有する。

## 【 0 3 3 4 】

本発明の請求項 1 7 は、ノイズに影響する箇所を、同時変化（ある時間間隔内に変化）するインスタンス群ごとに特定する手段を有するもので、信号同時変化箇所でのノイズの影響を見ることができ、設計者が信号制御関連の改善を図るのに有効であることに優れた効果を有する。

## 【 0 3 3 5 】

本発明の請求項 1 8 は、ノイズに影響する箇所を 2 つ以上のインスタンスで構成されるブロック単位ではなく、各インスタンスレベルで特定することが可能となる。請求項 1 4 の例ではレジスタ・組み合わせ回路・メモリブロック内の箇所、請求項 1 5 の例ではクロック入力端子からたどって判別したクロックツリー内の箇所、請求項 1 5 の例ではノイズに影響する同時変化箇所の特定がそれぞれインスタンスレベルで可能となる。

## 【 0 3 3 6 】

また、各電流周波数成分のノイズの大きな箇所をネットリストに対応させて表示させることも可能であり、ネットリスト情報を、対応するレイアウト情報に置きかえることによってレイアウト上の位置情報に対応させて表示させることもできる、ことに優れた効果を有する。

## 【 0 3 3 7 】

本発明の請求項 1 9 は、特定の周波数に対して従来例よりも高速に特定周波数に影響するノイズ原因箇所を特定することが可能となることに優れた効果を有する。

## 【 0 3 3 8 】

また、一度一チップ F F T 解析を行った後の原因特定段階等のように、解析したい周波数が予め決まっている場合等に有効である。

## 【 0 3 3 9 】

## 3) L S I の不要輻射解析における電源線考慮方法

本発明の請求項 2 0 は、過渡解析を用いないため従来例よりも高速に、電源線の影響を電源電流値および周波数解析結果に反映させられることに優れた効果を有する。

## 【 0 3 4 0 】

本発明の請求項 2 1 は、事前にテーブルを算出しておくことで、電源線の影響を電源電流値に反映させることができ、また、統計ばらつきが大きい場合や、補正係数の算出に用いる情報量が多い場合に特に有効的であることに優れた効果を有する。

## 【 0 3 4 1 】

本発明の請求項 2 2 は、事前の統計処理により数式を算出しておくことで、電源線の影響を電源電流値に反映させることができ、また、データ量が小さいという利点があり、統計ばらつきが少ない場合や、数式の変数部分が少ない場合に有効的であることに優れた効果を有する。

## 【 0 3 4 2 】

本発明の請求項 2 3 は、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正をおこない、電流波形の底辺を最適化することで、電源 R C 成分の影響による瞬時電流のなまりを電源電流波形に反映させられるという効果が得られることに優れた効果を有する。

## 【 0 3 4 3 】

本発明の請求項 2 4 は、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正をおこない、電流波形の面積を最適化することで、電源 R C 成分の影響による電源電圧降下 (I R - D r o p) の影響を電源電流波形に反映させられるという効果が得られることに優れた効果を有する。

## 【 0 3 4 4 】

本発明の請求項 2 5 は、チップの電源回路の等価抵抗を算出する際に複雑な電源抵抗の回路網を解かなくても良いため、精度は落ちるものの、より高速な E M I 解析が実現されることに優れた効果を有する。

## 【 0 3 4 5 】



本発明の請求項 2 6 は、レイアウトの完成を待たず、早期設計段階において電源線の影響を電源電流値に反映させられることに優れた効果を有する。

【 0 3 4 6 】

本発明の請求項 2 7 は、チップ面積情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析が実現できることに優れた効果を有する。

【 0 3 4 7 】

本発明の請求項 2 8 は、テクノロジー情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析が実現でき、またテクノロジーごとにデータベースを用意する必要がないメリットもあることに優れた効果を有する。

【 0 3 4 8 】

本発明の請求項 2 9 は、チップ形状および電源パッドの位置情報を用いることで、早期設計段階においてさらに高精度に電源線の影響を考慮した E M I 解析が実現できることに優れた効果を有する。

【 0 3 4 9 】

本発明の請求項 3 0 は、電源パッド数情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析が実現でき、また電源パッド数の E M I に対する最適化をフロアプランの段階で行うことが可能となることに優れた効果を有する。

【 0 3 5 0 】

本発明の請求項 3 1 は、チップを構成する電源配線の幅情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析が実現でき、また電源配線幅の E M I に対する最適化をフロアプランの段階で行うことが可能となることに優れた効果を有する。

【 0 3 5 1 】

本発明の請求項 3 2 は、電源配線下の容量生成領域情報を用いることで、早期設計段階において高精度に電源線の影響を考慮した E M I 解析が実現でき、また容量生成の E M I に対する最適化をフロアプランの段階で行うことが可能となる

ことに優れた効果を有する。

【 0 3 5 2 】

本発明の請求項 3 3 は、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、デカップリング容量を含む電源線の影響を電源電流値に反映させられるとともに、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことができ、また、モジュールごとに F F T 解析をおこなう場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶し F F T 解析に用いることで、高精度なモジュールごとの E M I 解析が実現できることに優れた効果を有する。

【 0 3 5 3 】

本発明の請求項 3 4 は、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、早期設計段階において予測される電源線の影響を各モジュールの特質を考慮して電源電流値に反映させられるとともに、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれぞれ補正係数を算出したことで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことができ、さらに、モジュールごとに F F T 解析をおこなう場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶し F F T 解析に用いることで、高精度なモジュールごとの E M I 解析が実現できることに優れた効果を有する。

【 0 3 5 4 】

本発明の請求項 3 6 は、チップのパッケージのインダクタンス成分を考慮した高精度な電流補正が可能となることに優れた効果を有する。

【 0 3 5 5 】

本発明の請求項 3 7 は、理想電源として求めたチップまたはモジュールの電源電流波形に補正を行うため、チップまたはモジュールの電源電流を算出する段階まで処理を進めることが可能となり、レイアウト完成前あるいはフロアプラン工程前に作業を進めることで E M I 解析全体の短 T A T 化が実現できる。

【 0 3 5 6 】

また、トランジスタレベルでの E M I 解析においても、電流波形の補正をおこない電源線の影響を考慮するという手法を使うことができることに優れた効果を有する。

【図面の簡単な説明】

【図 1】

本発明の不要輻射解析方法を実現するための概念構成を示すブロック図

【図 2】

従来例のトランジスタレベルの不要輻射解析方法を実現するための概念構成を示すブロック図

【図 3】

従来例のゲートレベルの不要輻射解析方法を実現するための概念構成を示すブロック図

【図 4】

従来例の F F T 演算部を中心とした不要輻射解析方法を実現するための構成を示すブロック図

【図 5】

従来例および本発明の第 2、第 3 の実施の形態における F F T 結果記憶手段のデータ例を示す図

【図 6】

本発明の第 1 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 7】

本発明の第 1 の実施の形態における詳細周波数記憶手段のデータ例を示す図

【図 8】

本発明の第 1 の実施の形態における電源電流記憶手段のデータ例を示す図

【図 9】

本発明の第 1 の実施の形態における F F T 結果記憶手段のデータ例を示す図

【図 1 0】

本発明の第 1 の実施の形態における F F T 解析のフローチャート

【図 1 1】

本発明の第 2 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 1 2】

本発明の第 2、第 3 の実施の形態におけるネットリスト記憶手段のデータ例を示す図

【図 1 3】

本発明の第 2、第 3、第 6、第 7、第 8 の実施の形態におけるテストベクタ記憶手段のデータ例を示す図

【図 1 4】

本発明の第 6、第 7、第 8、第 9、第 1 0、第 1 1 の実施の形態における F F T 結果記憶手段のデータ例を示す図

【図 1 5】

本発明の第 2 の実施の形態における電流 F F T 解析のフローチャート

【図 1 6】

本発明の第 3 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 1 7】

本発明の第 3 の実施の形態における電源電流記憶手段のデータ例を示す図

【図 1 8】

本発明の第 3 の実施の形態における F F T 解析のフローチャート

【図 1 9】

本発明の第 4 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 2 0】

本発明の第 4 の実施の形態における F F T 結果記憶手段のデータ例を示す図

【図 2 1】

本発明の第 4 の実施の形態における F F T 解析のフローチャート

【図 2 2】

本発明の第 5 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 2 3】

本発明の第 5 の実施の形態における F F T 結果記憶手段のデータ例を示す図

【図 2 4】

本発明の第 5 の実施の形態における F F T 解析のフローチャート

【図 2 5】

本発明の第 6、第 7、第 8 の実施の形態におけるネットリスト記憶手段のデータ例を示す図

【図 2 6】

本発明の第 6 の実施の形態における E M I 解析対象情報記憶手段のデータ例を示す図

【図 2 7】

本発明の第 6 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 2 8】

本発明の第 6 の実施の形態における電流 F F T 解析のフローチャート

【図 2 9】

本発明の第 7 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 3 0】

本発明の第 7 の実施の形態における電流 F F T 解析のフローチャート

【図 3 1】

本発明の第 8 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 3 2】

本発明の第 8 の実施の形態における電流 F F T 解析のフローチャート

【図 3 3】

本発明の第 9 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 3 4】

本発明の第 9、第 1 0、第 1 1 の実施の形態におけるネットリスト記憶手段のデータ例を示す図

【図 3 5】

本発明の第 9、第 1 0、第 1 1 の実施の形態におけるテストベクタ記憶手段のデータ例を示す図

【図 3 6】

本発明の第 9、第 1 0 の実施の形態における論理変化記憶手段のデータ例を示す図

【図 3 7】

本発明の第 9 の実施の形態における電流 F F T 解析のフローチャート

【図 3 8】

本発明の第 1 0 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 3 9】

本発明の第 1 0 の実施の形態における電流 F F T 解析のフローチャート

【図 4 0】

本発明の第 1 1 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 4 1】

本発明の第 1 1 の実施の形態における電流 F F T 解析のフローチャート

【図 4 2】

本発明の第 1 2、第 1 3 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 4 3】

本発明の第 1 2 の実施の形態における F F T 結果記憶手段のデータ例を示す図

【図 4 4】

本発明の第 1 2 の実施の形態におけるソート結果記憶手段のデータ例を示す図  
【図 4 5】

本発明の第 1 2 の実施の形態における F F T ソート手段のフローチャート  
【図 4 6】

本発明の第 1 3 の実施の形態における F F T 結果記憶手段のデータ例を示す図  
【図 4 7】

本発明の第 1 3 の実施の形態におけるソート結果記憶手段のデータ例を示す図  
【図 4 8】

本発明の第 1 3 の実施の形態における F F T ソート手段のフローチャート  
【図 4 9】

本発明の第 1 4 の実施の形態における不要輻射解析方法を実現するための構成を  
示すブロック図  
【図 5 0】

本発明の第 1 4 の実施の形態におけるインスタンス毎の電流情報記憶手段のデー  
タ例を示す図  
【図 5 1】

本発明の第 1 4 の実施の形態におけるグループ化情報のデータ例を示す図  
【図 5 2】

本発明の第 1 4 の実施の形態におけるグループ毎の電流情報記憶手段のデータ例  
を示す図  
【図 5 3】

本発明の第 1 4 の実施の形態におけるグループ・インスタンス対応情報記憶手段  
のデータ例を示す図  
【図 5 4】

本発明の第 1 4 の実施の形態におけるインスタンスグルーピング手段のフローチ  
ャート  
【図 5 5】

本発明の第 1 5、第 1 6 の実施の形態における不要輻射解析方法を実現するた  
めの構成を示すブロック図

【図 5 6】

本発明の第 1 5 の実施の形態におけるグループ化情報のデータ例を示す図

【図 5 7】

本発明の第 1 5 の実施の形態におけるインスタンスグルーピング手段のフローチャート

【図 5 8】

本発明の第 1 5 の実施の形態におけるネットリスト情報記憶手段のデータ例を示す図

【図 5 9】

本発明の第 1 6 の実施の形態におけるインスタンスグルーピング手段のフローチャート

【図 6 0】

本発明の第 1 6 の実施の形態におけるネットリスト情報記憶手段のデータ例を示す図

【図 6 1】

本発明の第 1 7 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 6 2】

本発明の第 1 8 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 6 3】

本発明の第 1 9 から第 2 3 の実施の形態におけるチップの電源電流を示す図

【図 6 4】

本発明の第 1 9 から第 2 3 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 6 5】

本発明の第 1 9 から第 2 3 の実施の形態における抵抗記憶手段のデータ例を示す図

【図 6 6】



本発明の第 1 9 から第 2 3 の実施の形態における容量記憶手段のデータ例を示す図

【図 6 7】

本発明の第 1 9 から第 2 3 の実施の形態における電流波形記憶手段のデータ例を示す図

【図 6 8】

本発明の第 1 9 から第 2 3 の実施の形態における電源線依存情報記憶手段のデータ例を示す図

【図 6 9】

本発明の第 1 9 から第 2 3 の実施の形態における電流波形補正手段のフローチャート

【図 7 0】

本発明の第 1 9 から第 2 3 の実施の形態における電流波形補正手段の概念図

【図 7 1】

本発明の第 2 0 の実施の形態におけるテーブル計算方法の概念図

【図 7 2】

本発明の第 2 0 の実施の形態における等価容量・等価抵抗計算方法の概念図

【図 7 3】

本発明の第 2 2 の実施の形態における電流波形補正手段の概念図

【図 7 4】

本発明の第 2 3 の実施の形態における電流波形補正手段の概念図

【図 7 5】

本発明の第 2 4 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 7 6】

本発明の第 2 4 の実施の形態における電流波形補正手段のフローチャート

【図 7 7】

本発明の第 2 5 から第 3 1 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 7 8】

本発明の第 2 5 から第 3 1 の実施の形態における電流波形補正手段のフローチャート

【図 7 9】

本発明の第 2 5 から第 3 1 の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図 8 0】

本発明の第 2 5 から第 3 1 の実施の形態における等価抵抗推定手段のフローチャート

【図 8 1】

本発明の第 2 5 から第 3 1 の実施の形態におけるデータベース記憶手段のデータ例を示す図

【図 8 2】

本発明の第 2 5 から第 3 1 の実施の形態におけるデータベースチップのイメージ図

【図 8 3】

本発明の第 2 5 から第 3 1 の実施の形態における電源配線幅情報記憶手段のデータ例を示す図

【図 8 4】

本発明の第 2 5 から第 3 1 の実施の形態における電源波形補正を行う対象チップのイメージ図

【図 8 5】

本発明の第 2 6 の実施の形態における等価抵抗、等価容量の面積依存性を示した図

【図 8 6】

本発明の第 2 8 の実施の形態における等価抵抗、チップ形状と電源パッドの位置に対する依存性を示した図

【図 8 7】

本発明の第 2 8 の実施の形態における電源回路の抵抗成分を示した図

【図 8 8】

本発明の第 2 9 の実施の形態における等価抵抗の電源パッド数依存性を示した図

【図 8 9】

本発明の第 3 0 の実施の形態における等価抵抗の電源配線幅依存性を示した図

【図 9 0】

本発明の第 3 0 の実施の形態における容量値の電源配線幅依存性を示した図

【符号の説明】

1 0 1 電源考慮演算部

1 0 6 F F T 演算部

1 0 7 入出力演算部

1 0 2 外部記憶装置

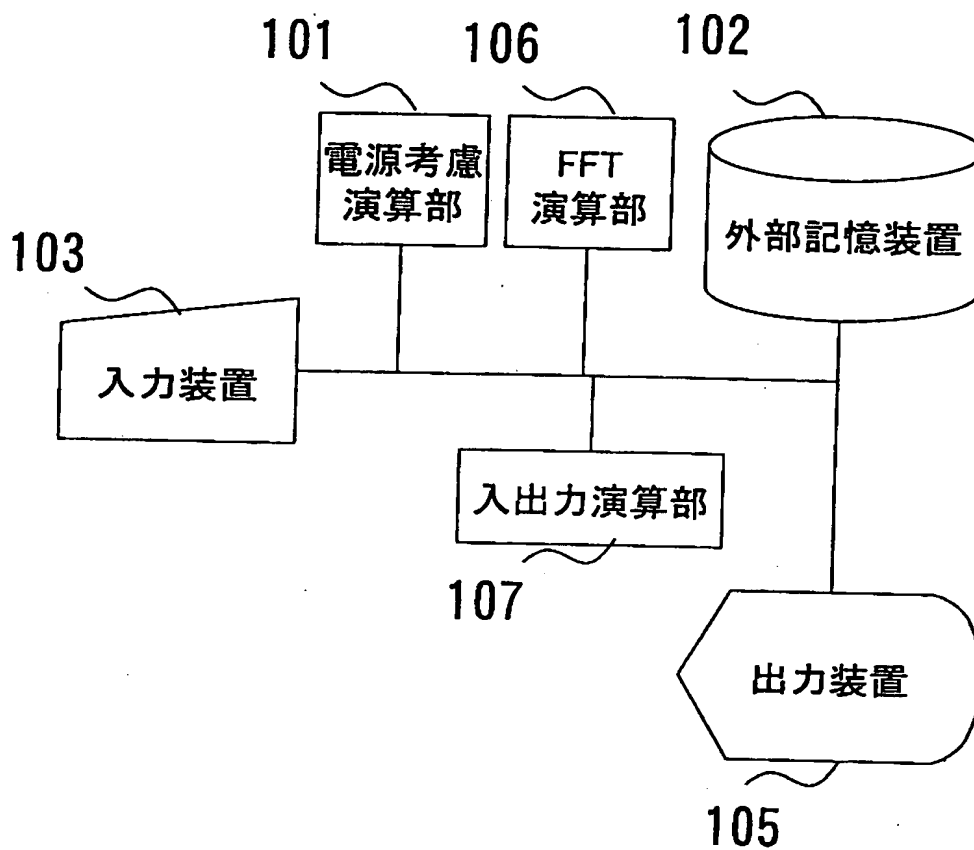
1 0 3 入力装置

1 0 5 出力装置

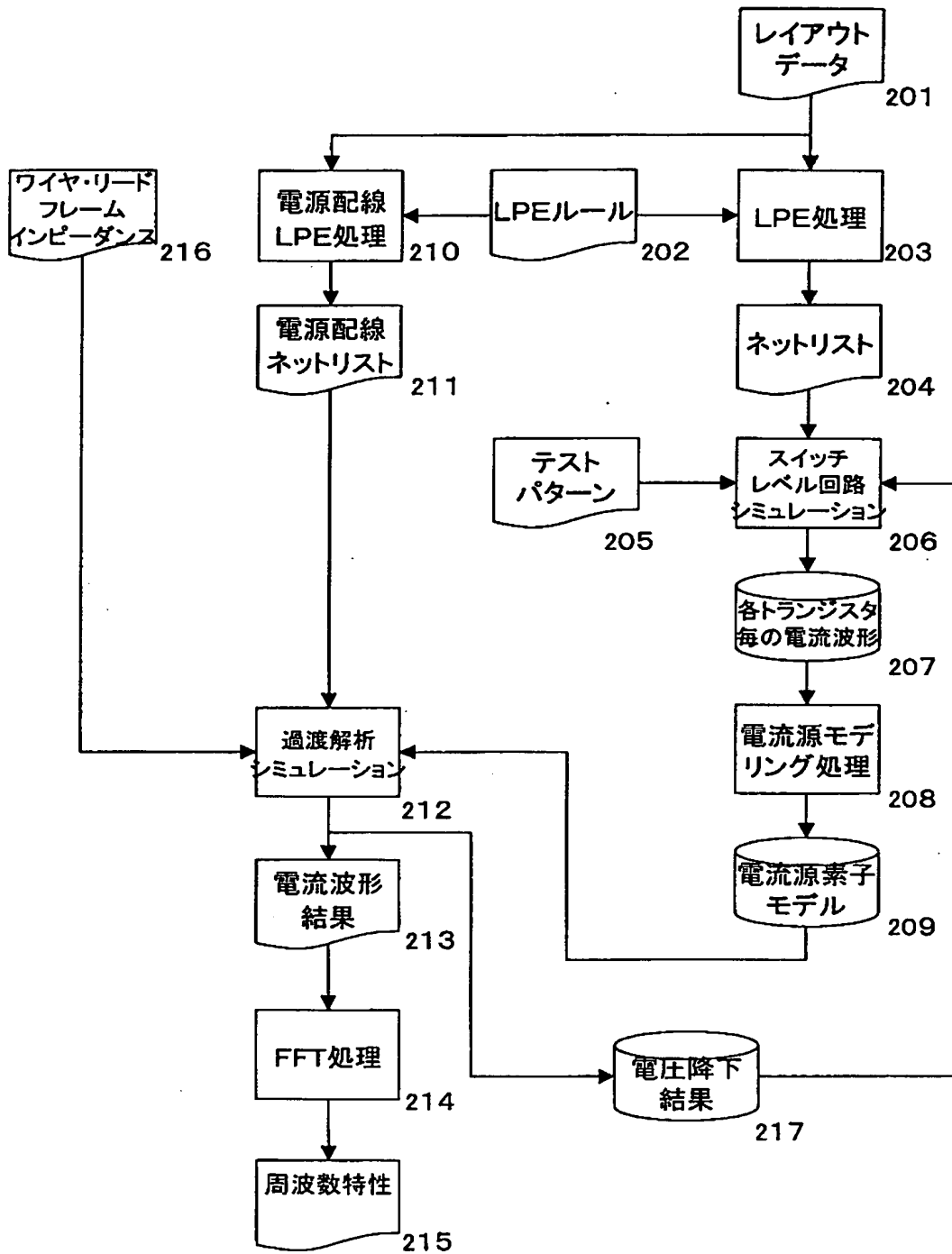
【書類名】

図面

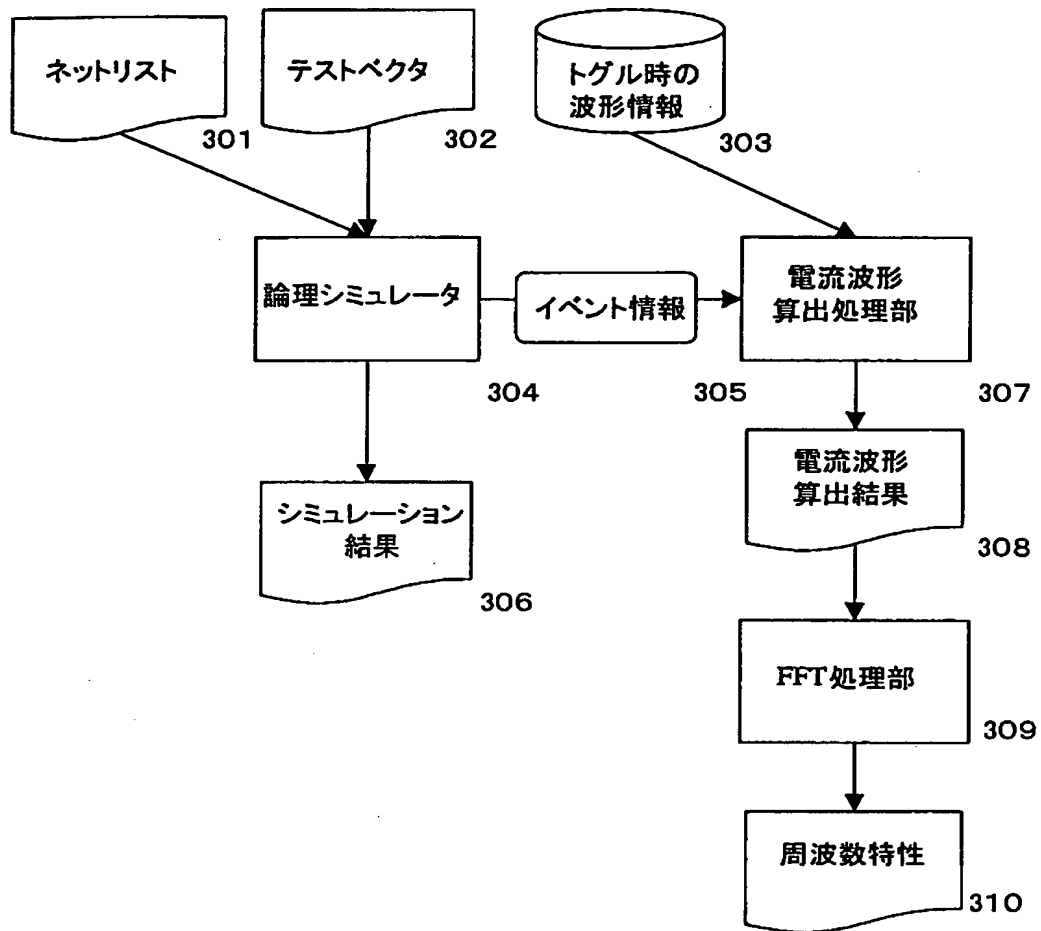
【図 1】



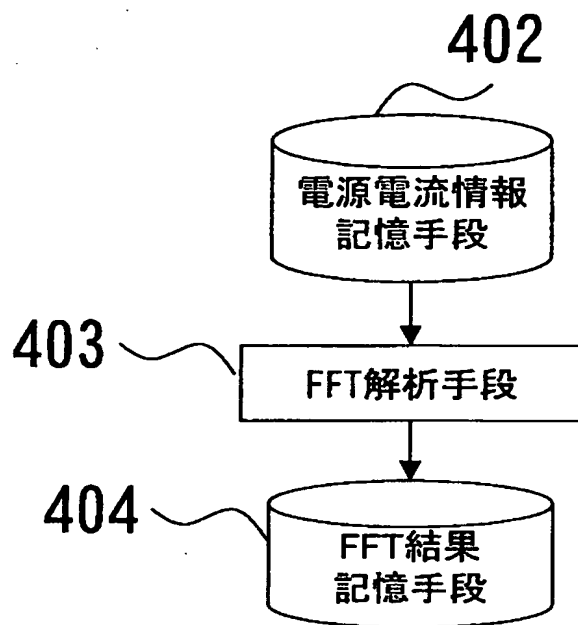
【図 2】



【図 3】



【図 4】



【図 5】

周波数[MHz]	電流周波数成分[mA]
0	10
5	1
10	1
15	1
20	1
25	1
30	1
35	1
40	1
45	30
50	70
55	30
55	30
60	1
65	1
70	1
75	1
80	1
85	1
90	1

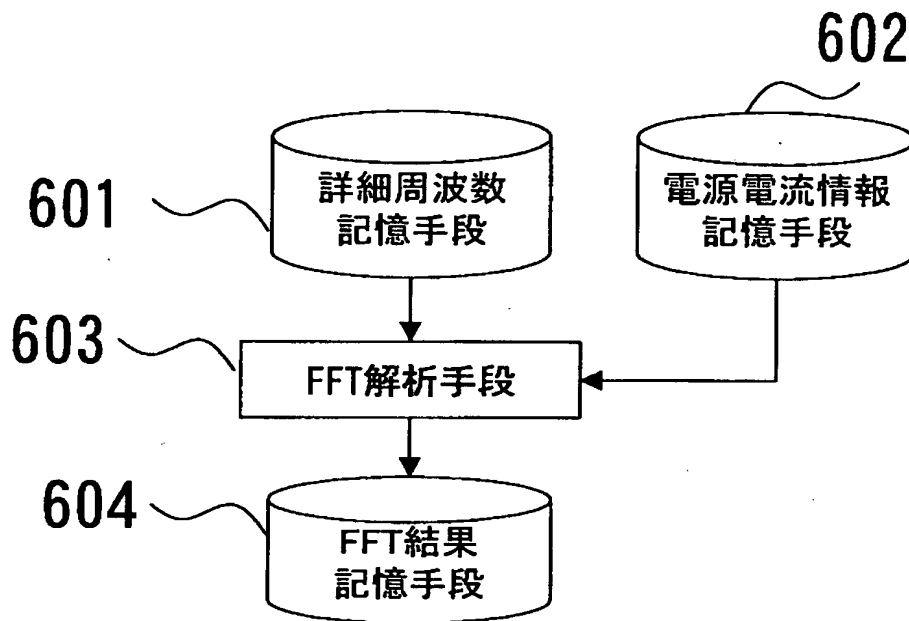
周波数[MHz]	電流周波数成分[mA]
95	20
100	50
105	20
110	1
115	1
120	1
125	1

501      502

501      502



【図 6】



【図 7】

開始周波数[MHz]	終了周波数[MHz]
45	55
95	105

701                      702

【図 8】

時刻[ns]	電源電流値[mA]
0	0
95	20
100	50
105	20
195	30
200	70
205	30
295	20
300	50
305	20
395	30
400	70
405	30
495	20
500	30
505	20

801

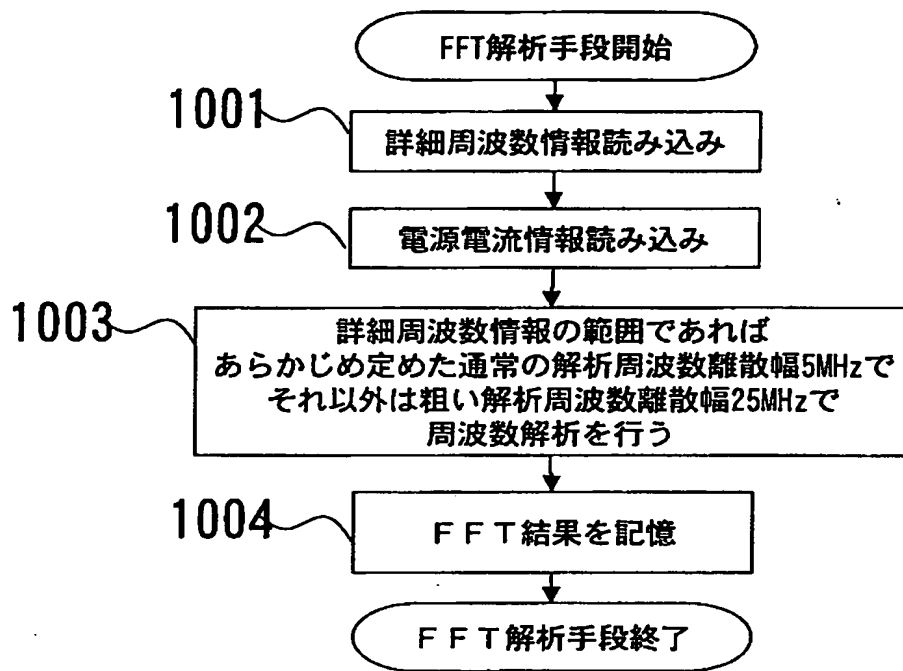
802

【図 9】

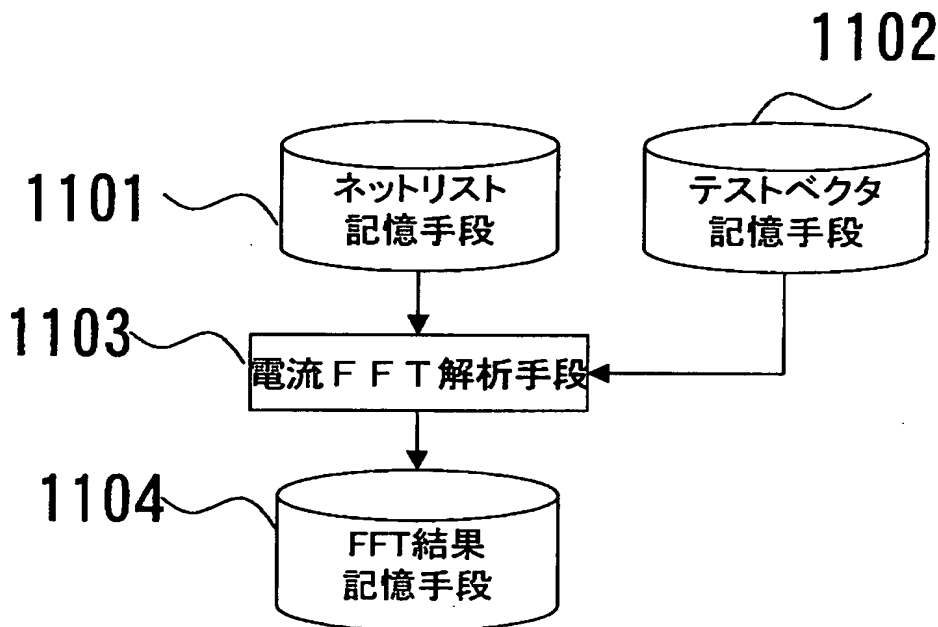
周波数[MHz]	電流周波数成分[mA]
0	10
25	1
45	30
50	70
55	30
75	1
95	20
100	50
105	20
125	1

901 902

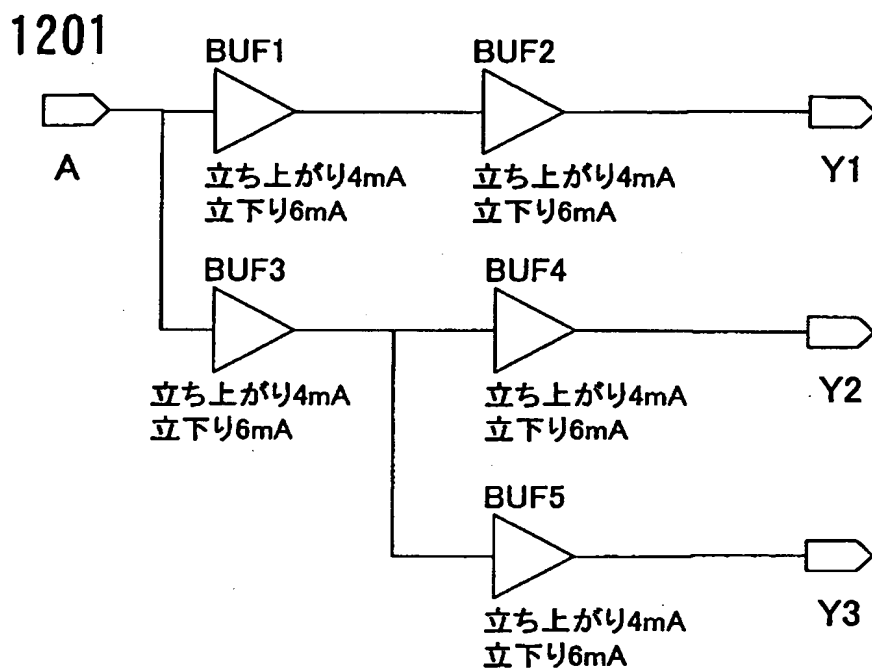
【図 1 0】



【図 1 1】



【図 1 2】



【図 1 3】

時刻[ns]	外部入力端子名	電圧値[V]
0	A	0
90	A	2.5
190	A	0
290	A	2.5
390	A	0
490	A	2.5

1301      1302      1303

【図 1 4】

周波数[MHz]	電流周波数成分[mA]
0	10
5	1
10	1
15	1
20	1
25	1
30	1
35	1
40	1
45	30
50	70
55	30
55	30
60	1
65	1
70	1
75	1
80	1
85	1
90	1

1401

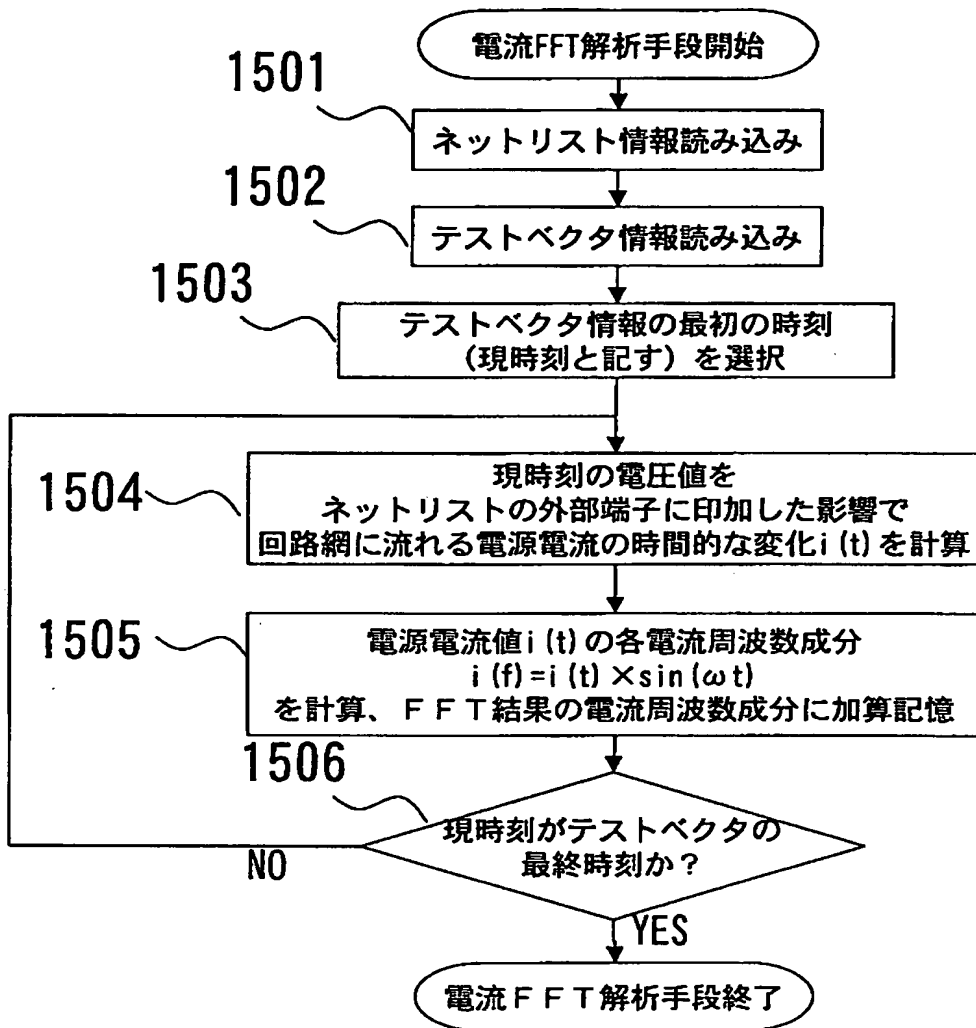
1402

周波数[MHz]	電流周波数成分[mA]
95	20
100	50
105	20
110	1
115	1
120	1
125	1

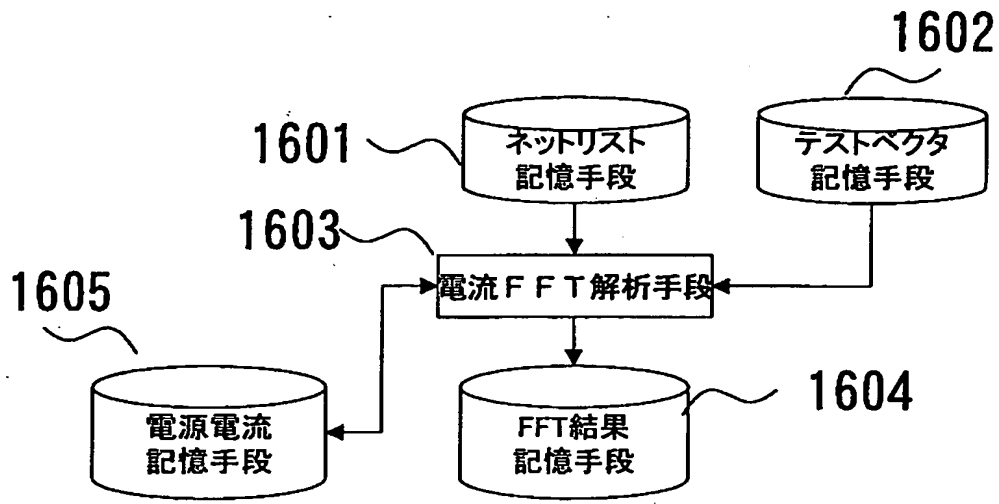
1401

1402

【図 1 5】



【図 1 6】

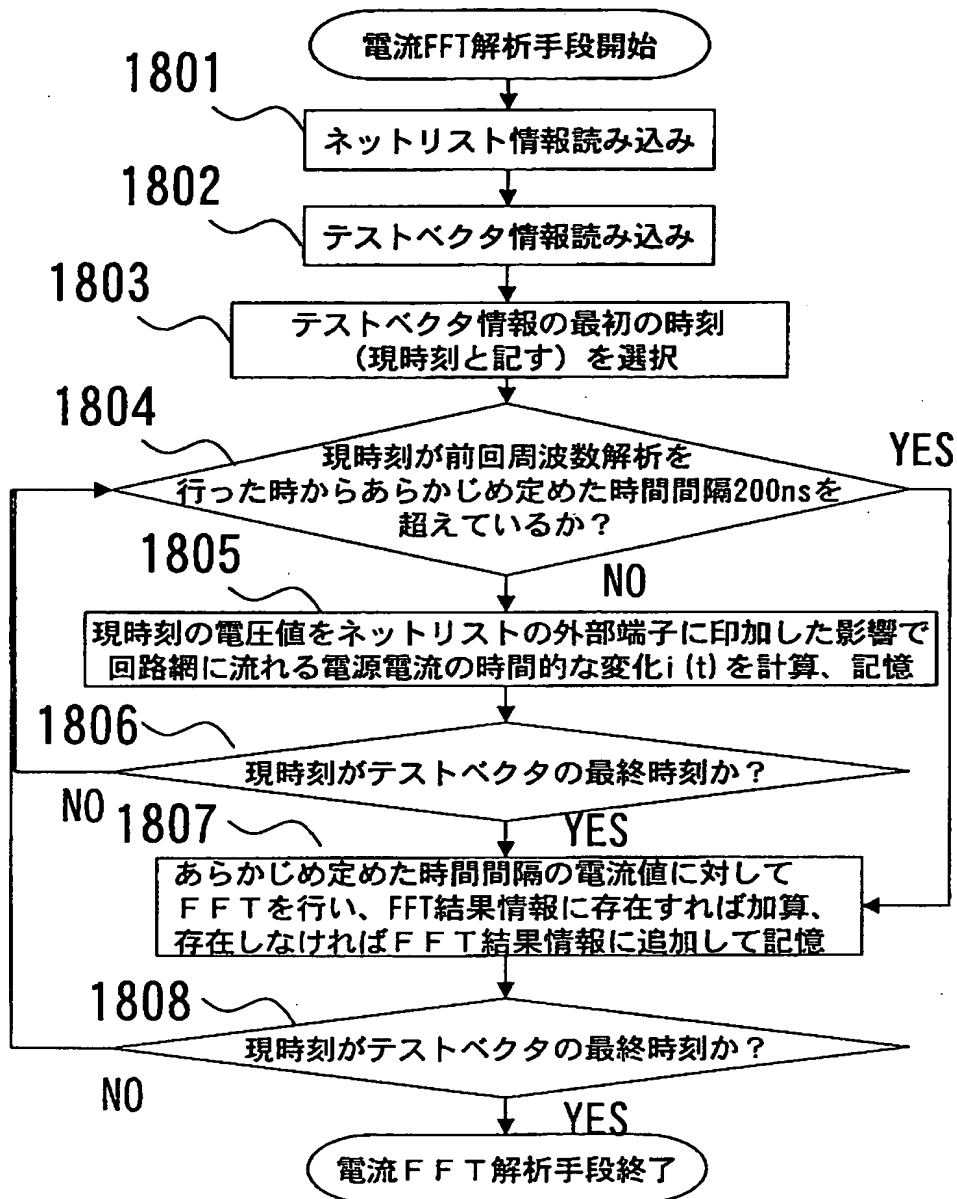




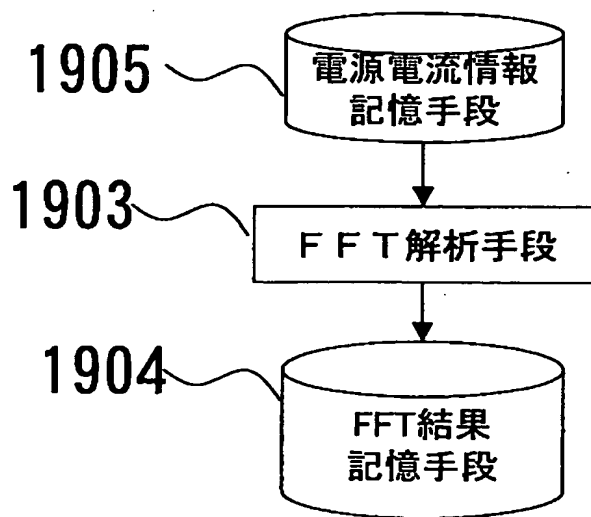
【図 1 7】

1703	時刻[ns]		電流[mA]	
	0		0	
	95		20	
	100		50	
	105		20	
	195		30	
	200		70	
1704	時刻[ns]		電流[mA]	
	200		70	
	205		30	
	295		20	
	300		50	
	305		20	
	395		30	
1705	時刻[ns]		電流[mA]	
	400		70	
	405		30	
	495		20	
	500		30	
	505		20	
1701			1702	

【図18】



【図 1 9】



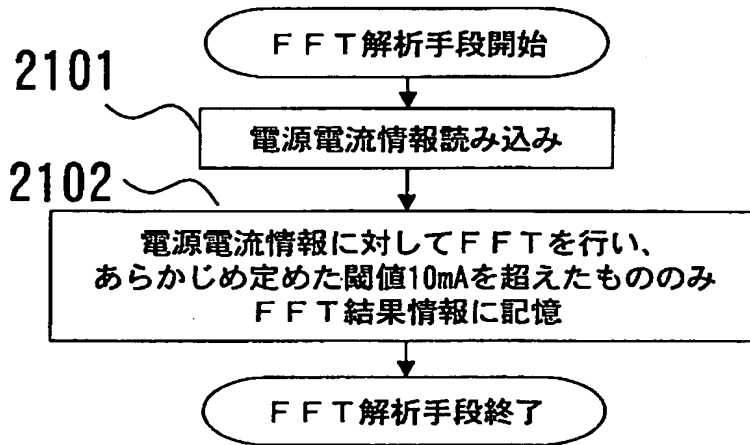
【図 2 0】

周波数[MHz]	電流周波数成分[mA]
0	10
45	30
50	70
55	30
95	20
100	50
105	20

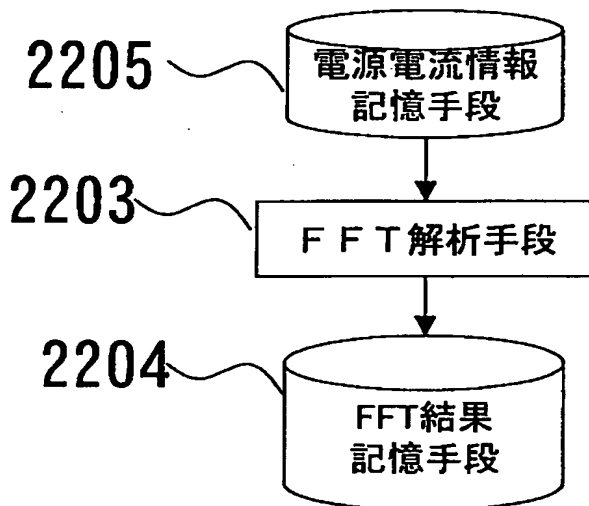
2001

2002

【図 2 1】



【図 2 2】

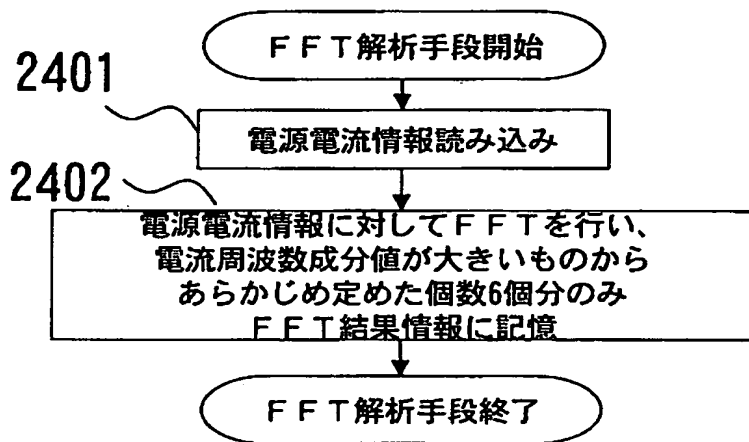


【図 2 3】

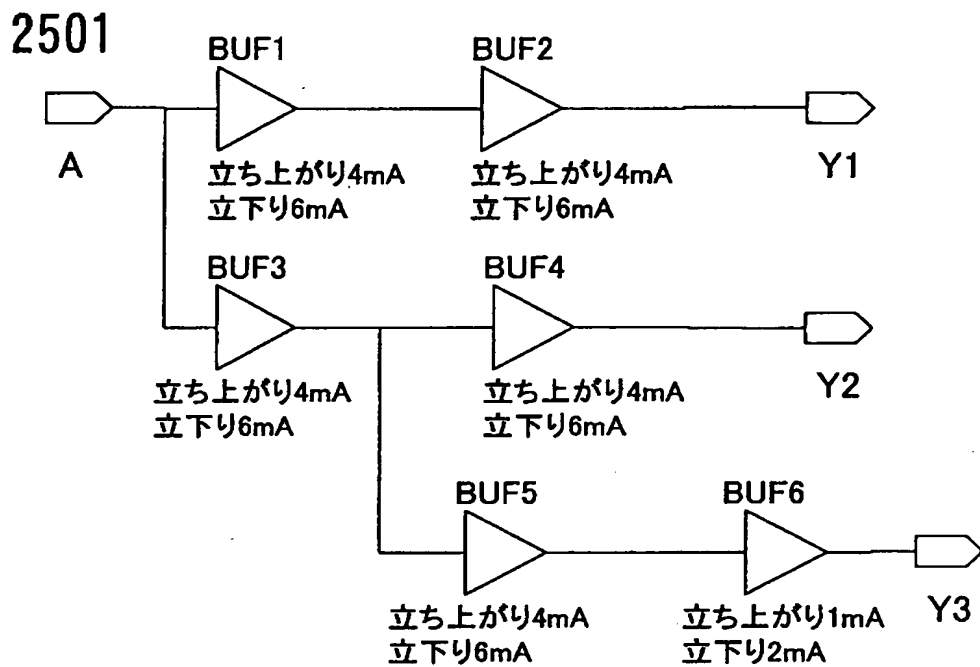
周波数[MHz]	電流周波数成分[mA]
50	70
100	50
45	30
55	30
95	20
105	20

2301                      2302

【図 2 4】



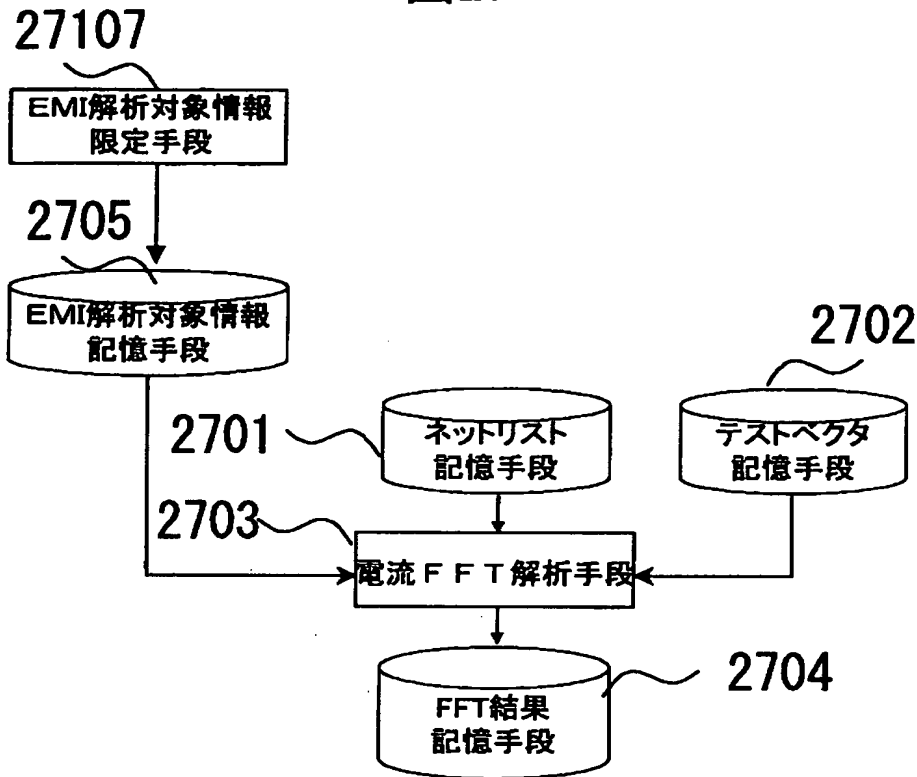
【図 2 5】



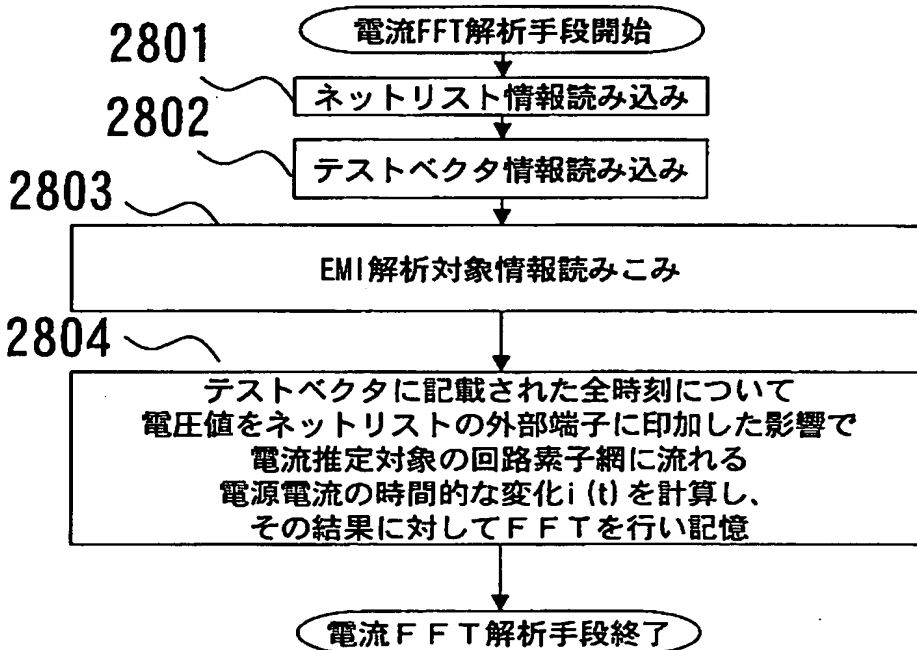
【図 2 6】

EM解析対象回路素子
BUF1
BUF2
BUF3
BUF4
BUF5

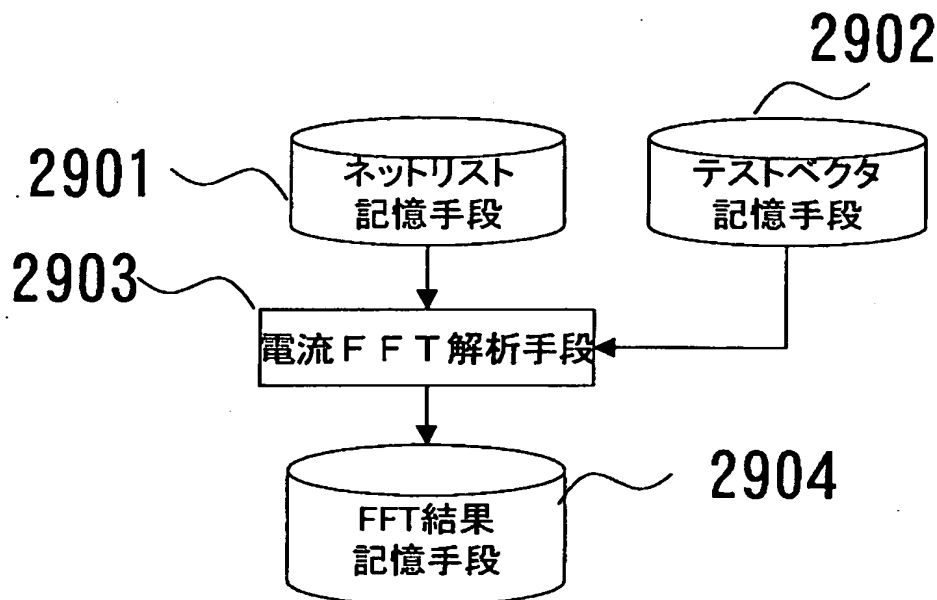
【図 2 7】



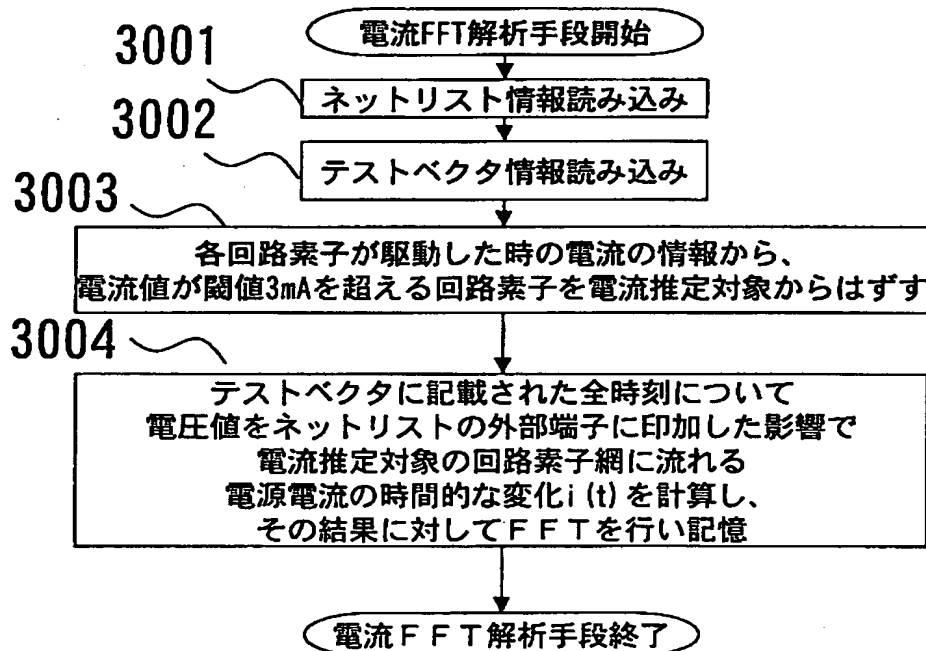
【図 2 8】



【図 2 9】

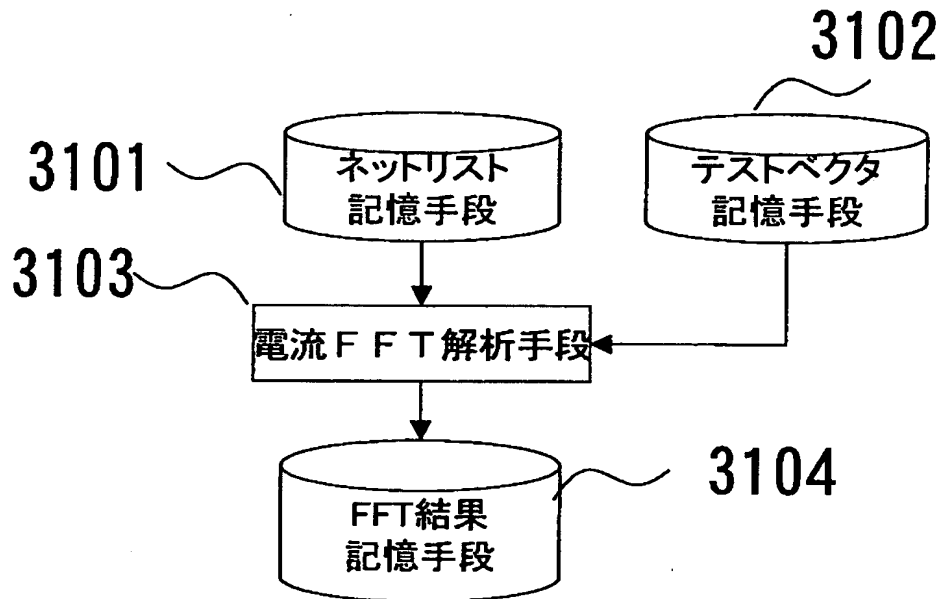


【図 3 0】

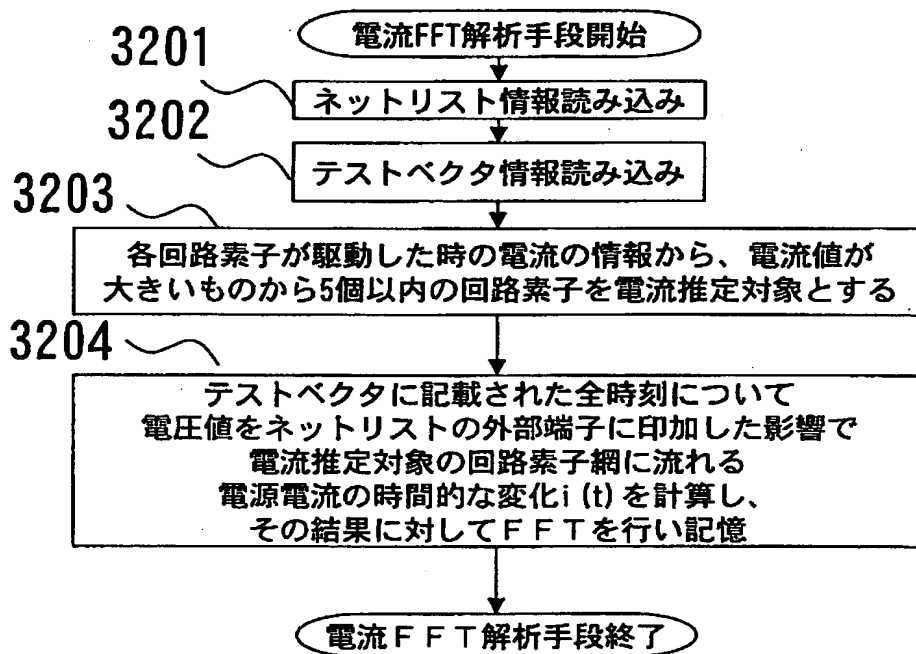




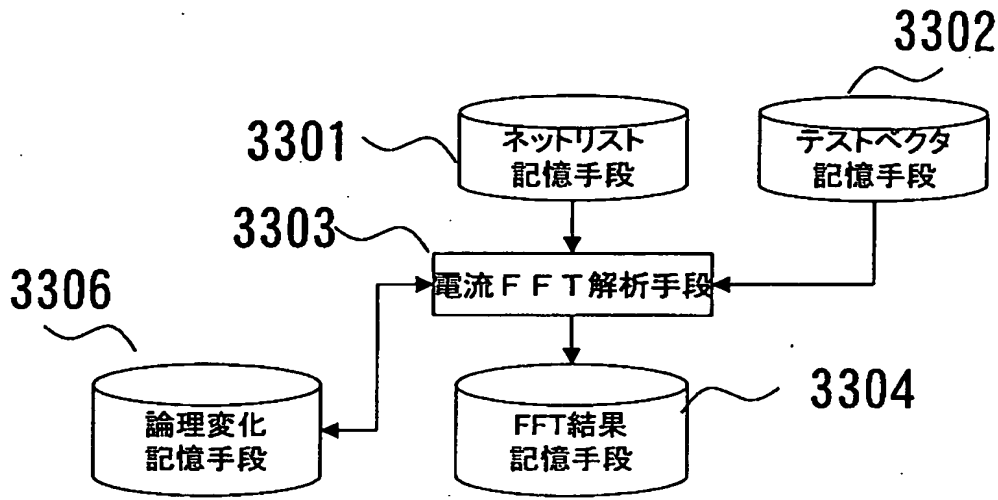
【図 3 1】



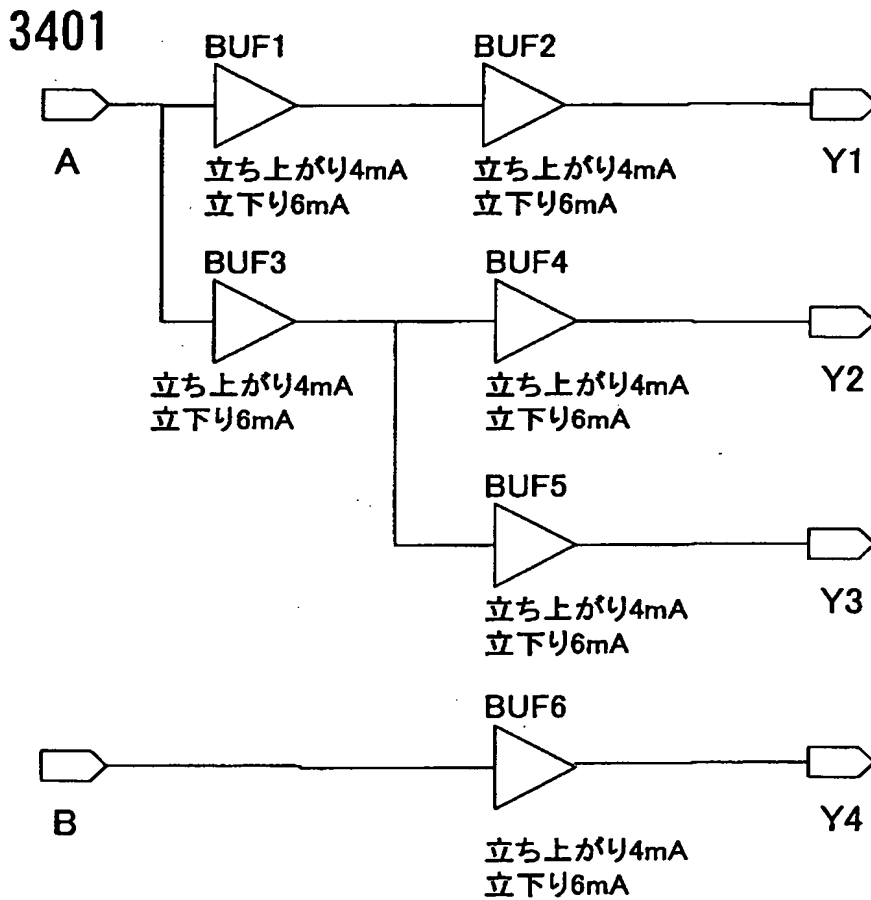
【図 3 2】



【図 3 3】



【図 3 4】



【図 3 5】

時刻[ns]	外部端子名	論理値
0	A	0
90	A	1
190	A	0
290	A	1
390	A	0
490	A	1
0	B	0
190	B	1
390	B	0

3501                      3502                      3503

【図 3 6】

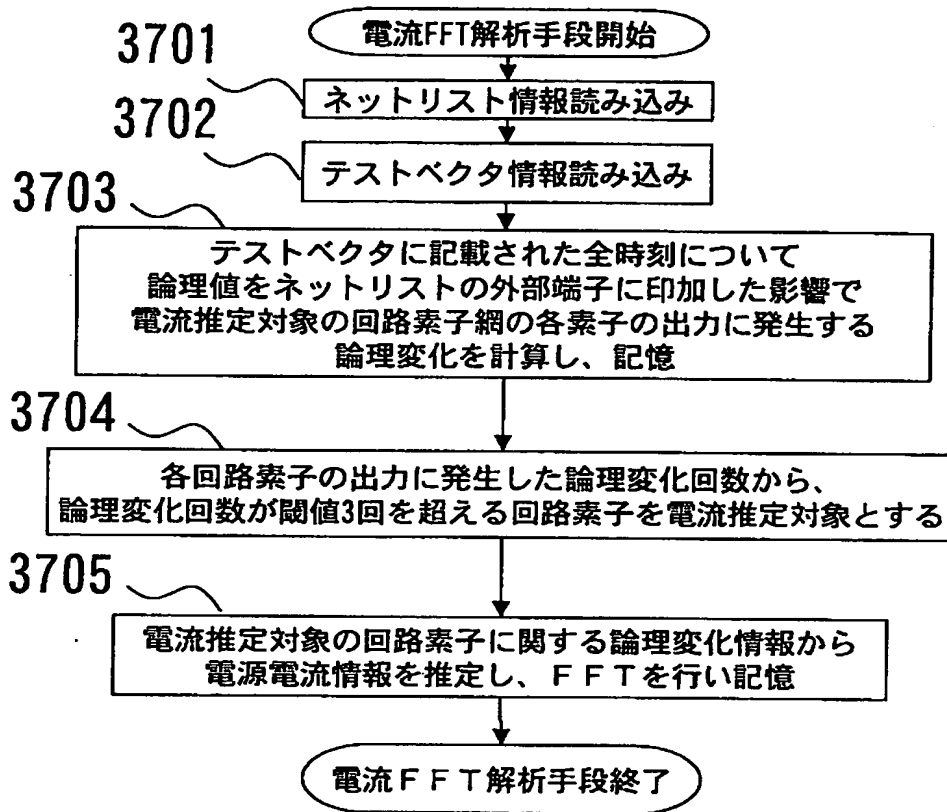
時刻[ns]	素子名	論理値
0	BUF1,BUF2, BUF3,BUF4, BUF5	0
90	BUF1,BUF2, BUF3,BUF4, BUF5	1
190	BUF1,BUF2, BUF3,BUF4, BUF5	0
290	BUF1,BUF2, BUF3,BUF4, BUF5	1
390	BUF1,BUF2, BUF3,BUF4, BUF5	0
490	BUF1,BUF2, BUF3,BUF4, BUF5	1
0	BUF6	0
190	BUF6	1
390	BUF6	0

3601

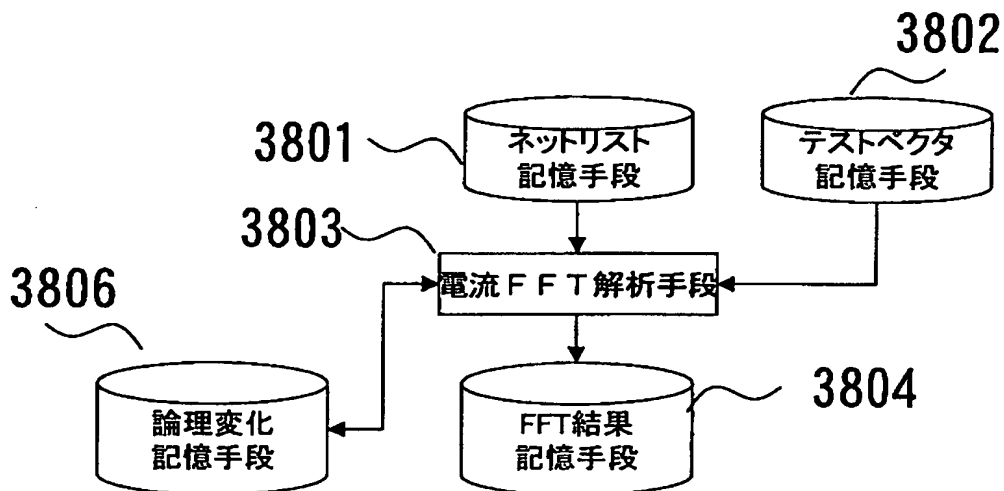
3602

3603

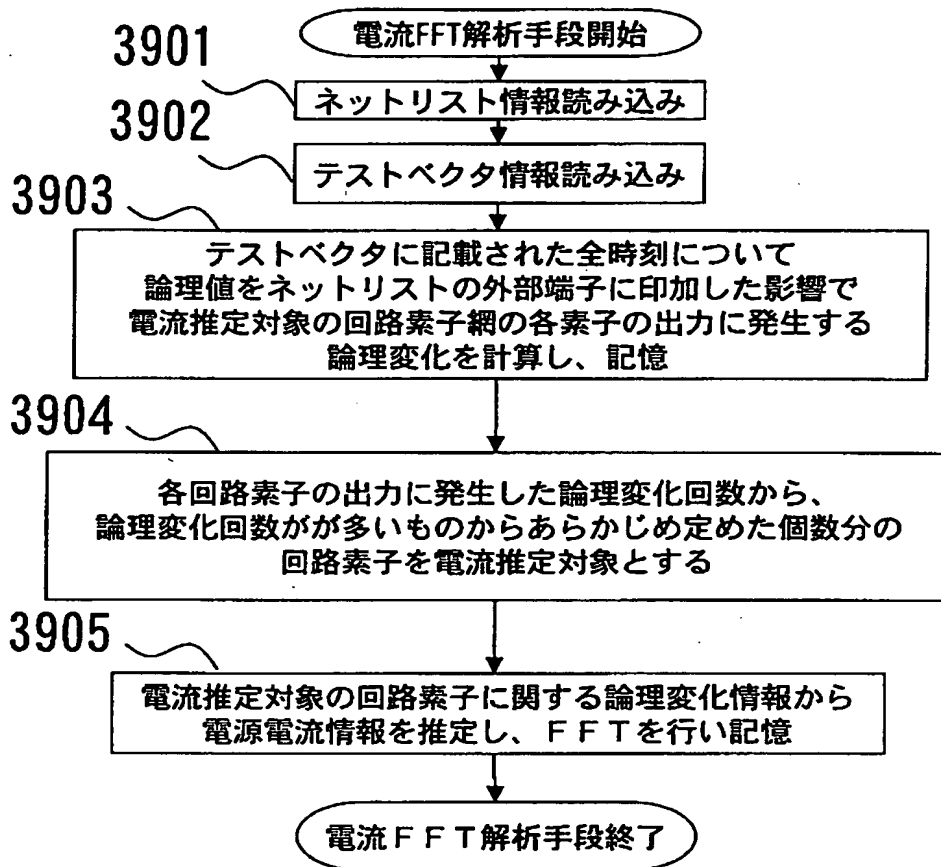
【図 3 7】



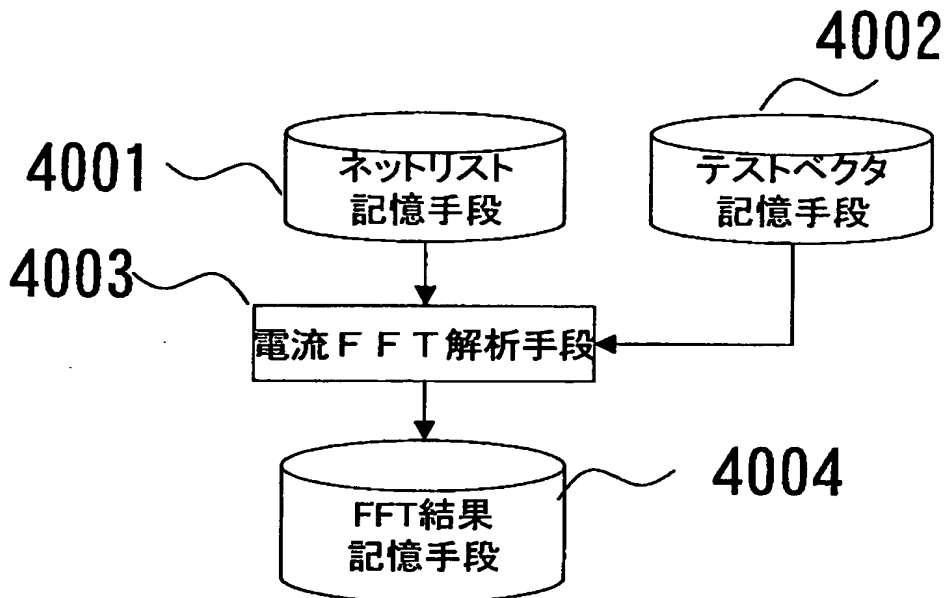
【図 3 8】



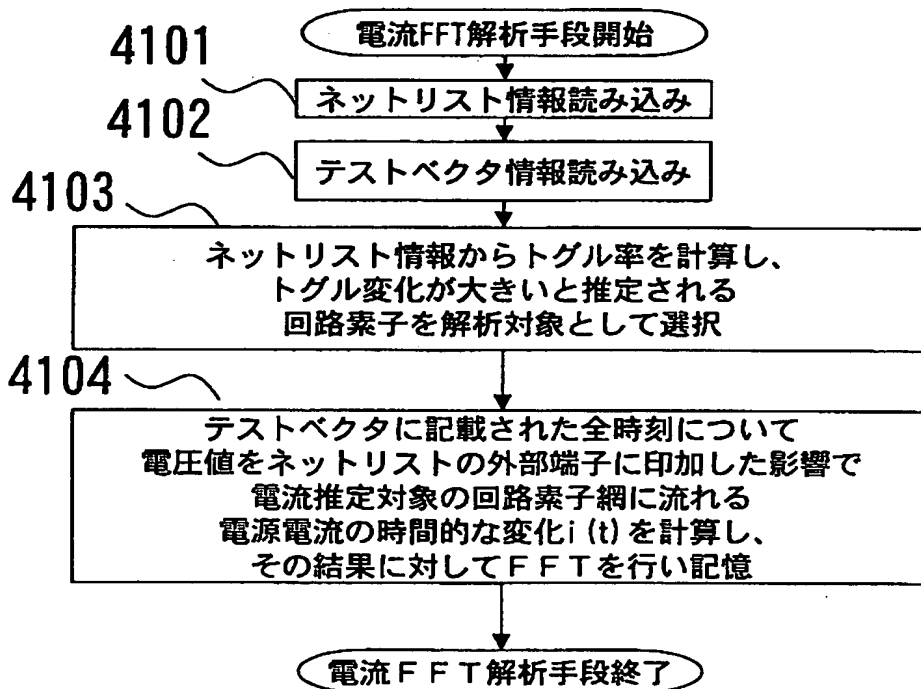
【図 3 9】



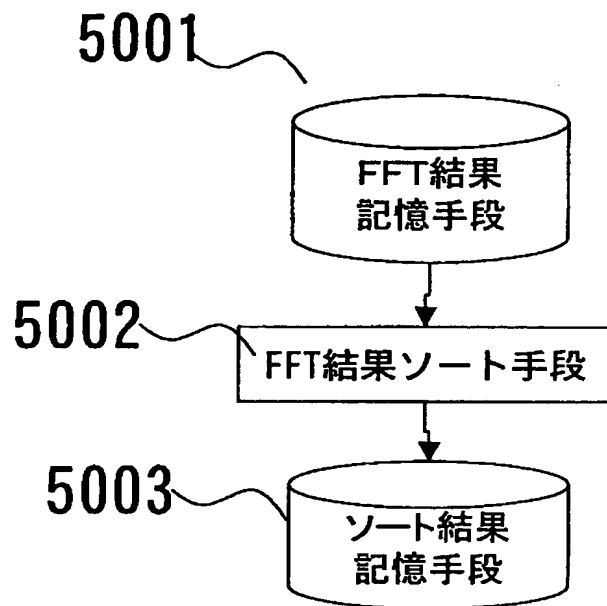
【図 4 0】



【図 4 1】



【図 4 2】





【図 4 3】

インスタンス名	FFT結果の周波数	電流周波数成分
M1	50	1.1
	100	1.7
	150	2.0
	200	1.9
	250	1.6
	300	0.8
	350	1.5
	400	1.8
M2	50	1.5
	100	2.0
	150	1.6
	200	0.9
	250	1.2
	300	1.5
	350	1.7
	400	1.1

5101

5102

5103

51

【図 4 4】

周波数	インスタンス	電流周波数成分
50	M4	2.0
	M3	1.8
	M8	1.7
	M2	1.5
	M7	1.4
	M5	1.3
	M1	1.1
	M6	0.9
100	M2	2.0
	M6	1.9
	M5	1.8
	M1	1.7
	M4	1.5
	M3	1.3
	M6	1.1
	M7	1.0

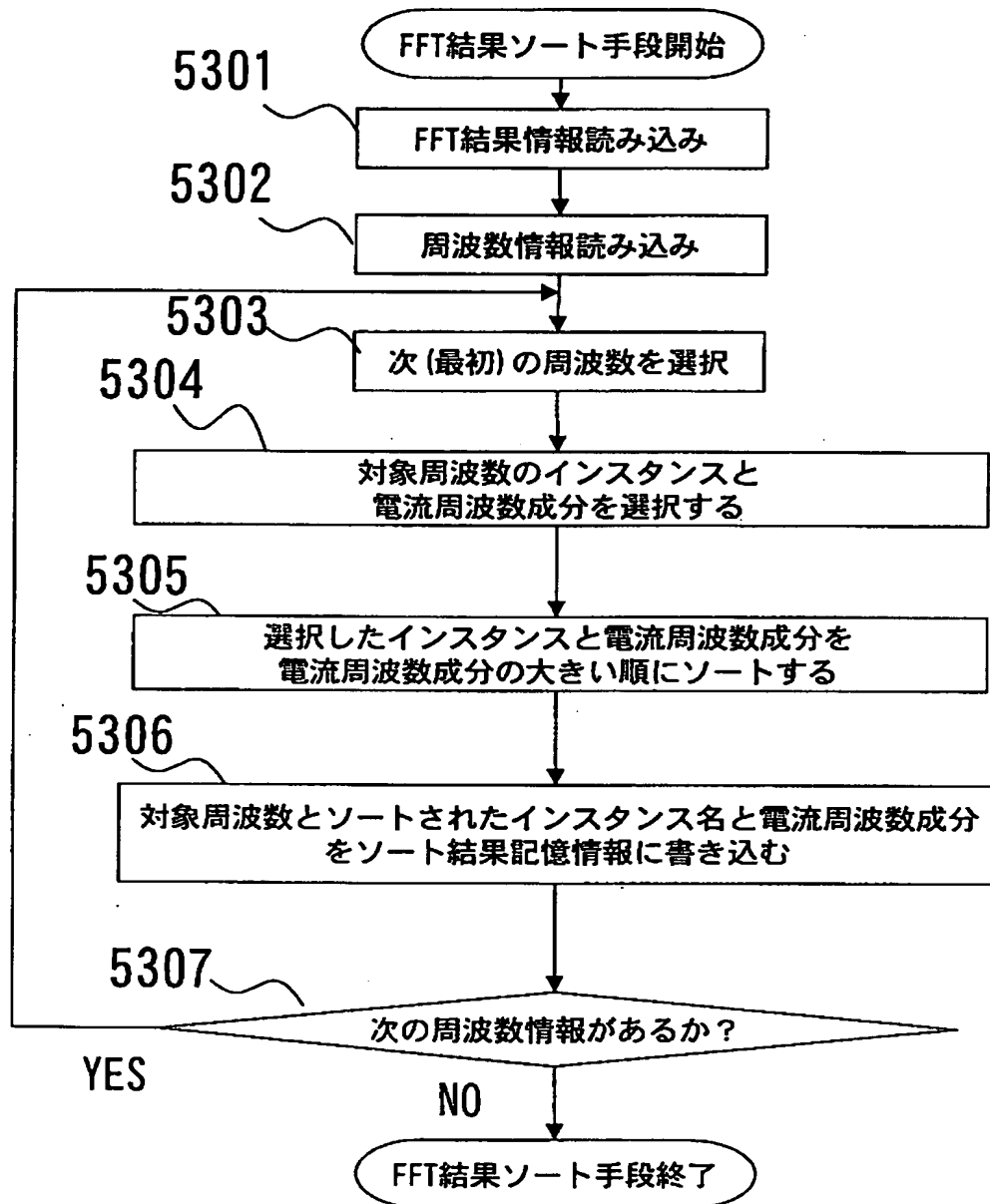
5201

5202

5203

52

【図 45】



【図 4 6】

インスタンスグループ	FFT結果の周波数	電流周波数成分
G1	50	1.1
	100	1.7
	150	2.0
	200	1.9
	250	1.6
	300	0.8
	350	1.5
	400	1.8
G2	50	1.5
	100	2.0
	150	1.6
	200	0.9
	250	1.2
	300	1.5
	350	1.7
	400	1.1

5401

5402

5403

54

【図 4 7】

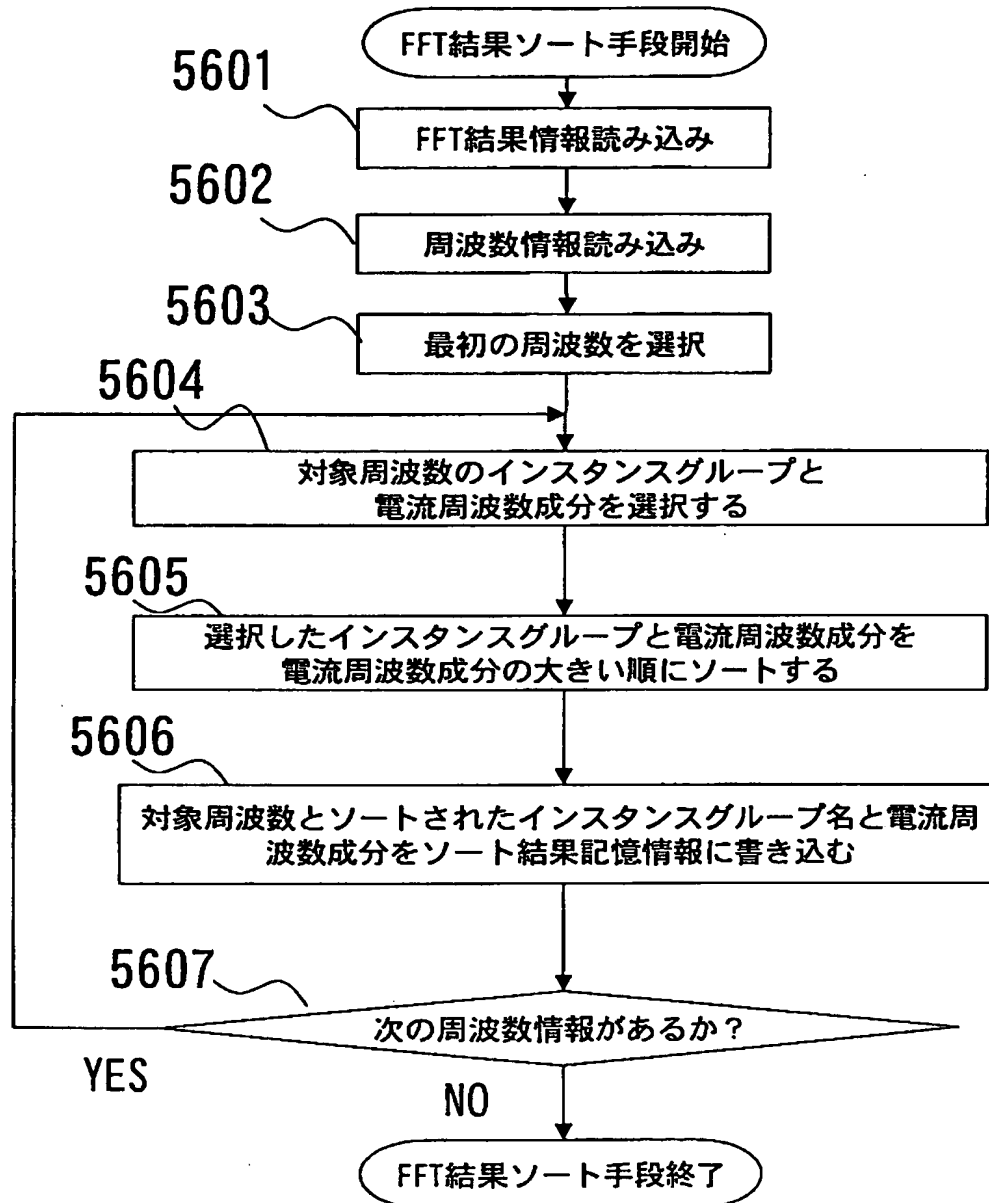
周波数	インスタンスグループ	電流周波数成分
50	G4	2.0
	G3	1.8
	G8	1.7
	G2	1.5
	G7	1.4
	G5	1.3
	G1	1.1
	G6	0.9
100	G2	2.0
	G6	1.9
	G5	1.8
	G1	1.7
	G4	1.5
	G3	1.3
	G6	1.1
	G7	1.0

5501

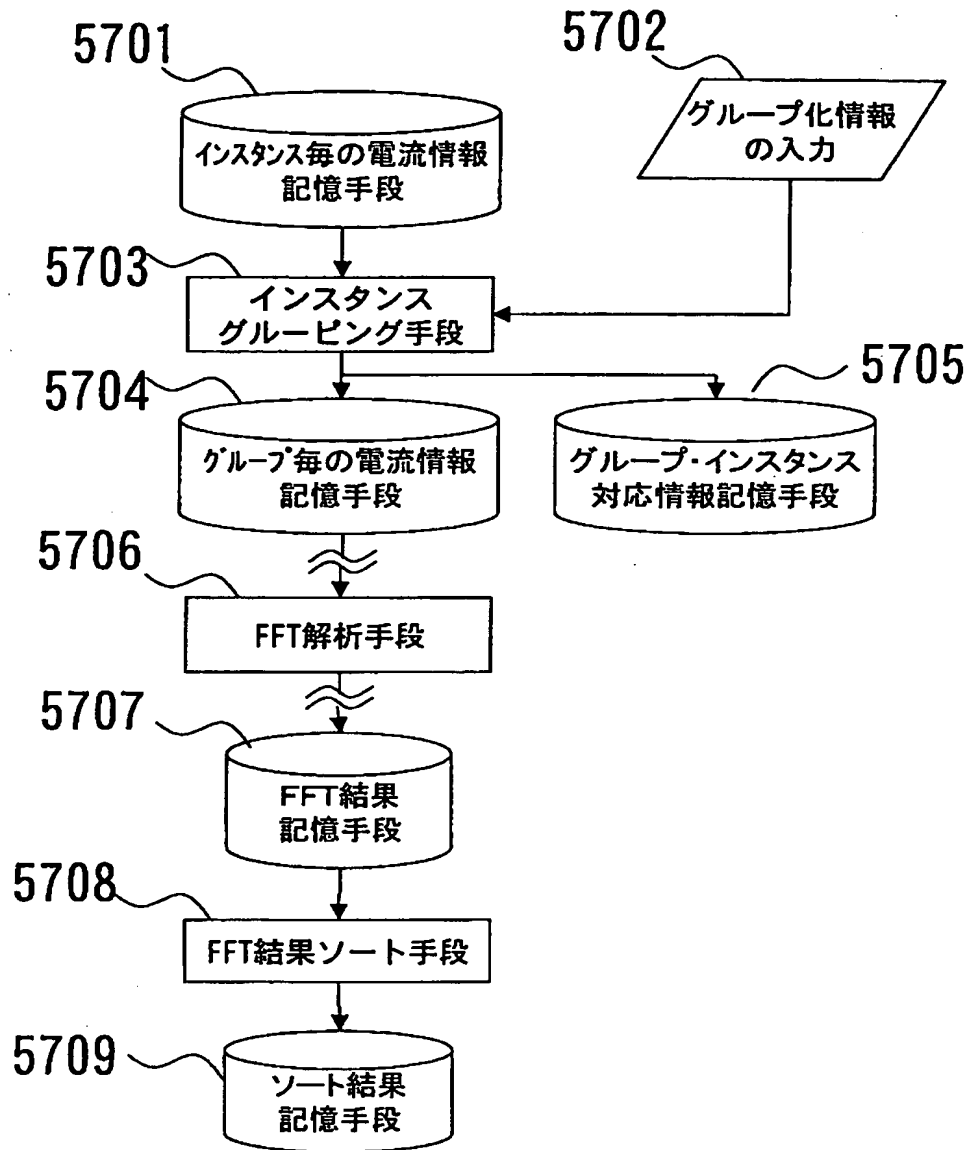
5502

5503

【図 48】



【図49】



【図 5 0】

インスタンス名	時刻	電流
M1	50	2
	100	1
	150	3
	200	2
	250	4
	300	1
	350	2
	400	3
M2	50	5
	100	7
	150	9
	200	6
	250	4
	300	5
	350	3
	400	5

5801

5802

5803



【図 5 1】

セル情報	プロパティ情報
AND	1
OR	1
FF	2
SRAM	3
DRAM	3
IO1	4
IO2	4
.	.
.	.
.	.

5901

5902

【図 5 2】

インスタンスグループ	時刻	電流
G1	50	20
	100	10
	150	30
	200	20
	250	40
	300	10
	350	20
	400	30
G2	50	50
	100	70
	150	90
	200	60
	250	40
	300	50
	350	30
	400	50

6001

6002

6003

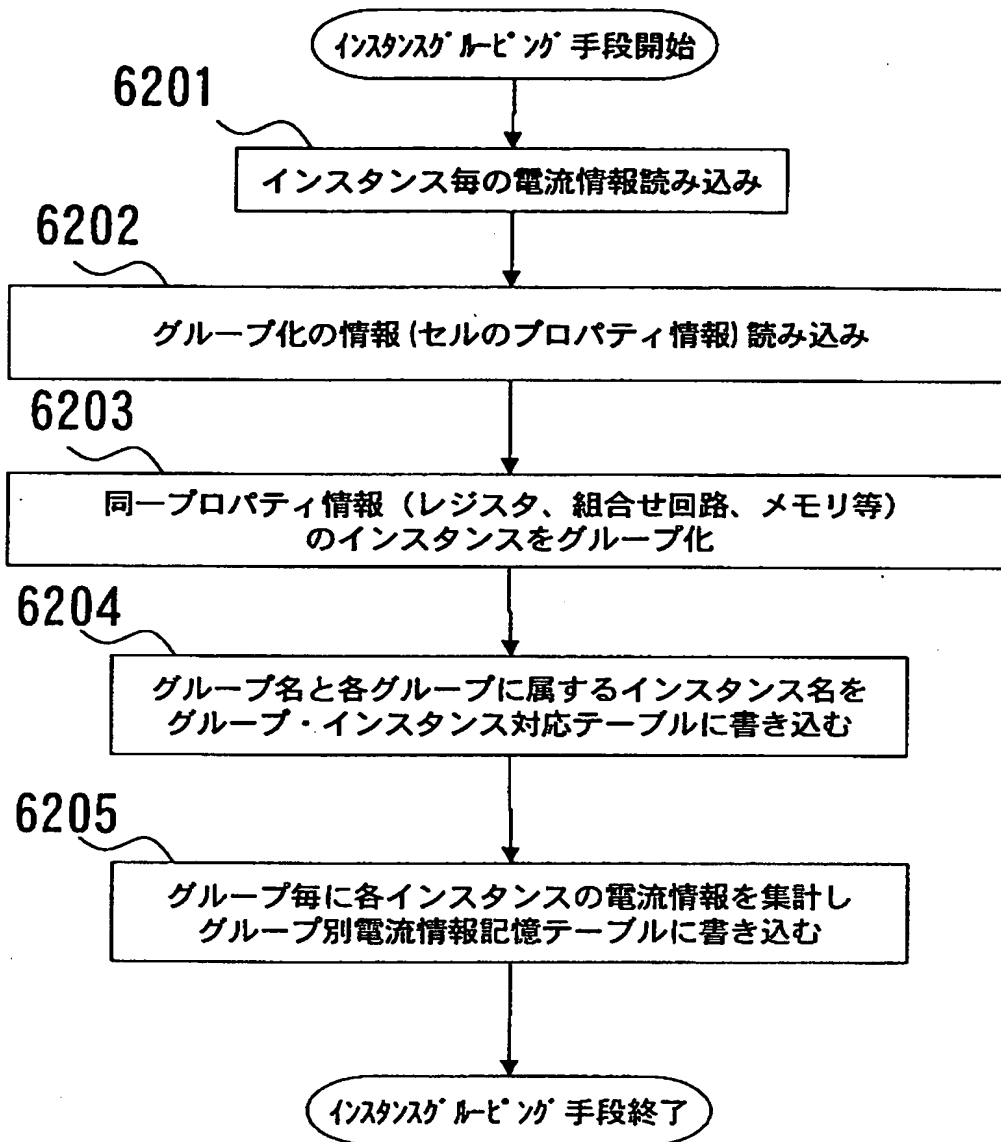
【図 5 3】

インスタンスグループ	インスタンス名
G1	50
	100
	150
	200
	250
	300
	350
	400
G2	50
	100
	150
	200
	250
	300
	350
	400

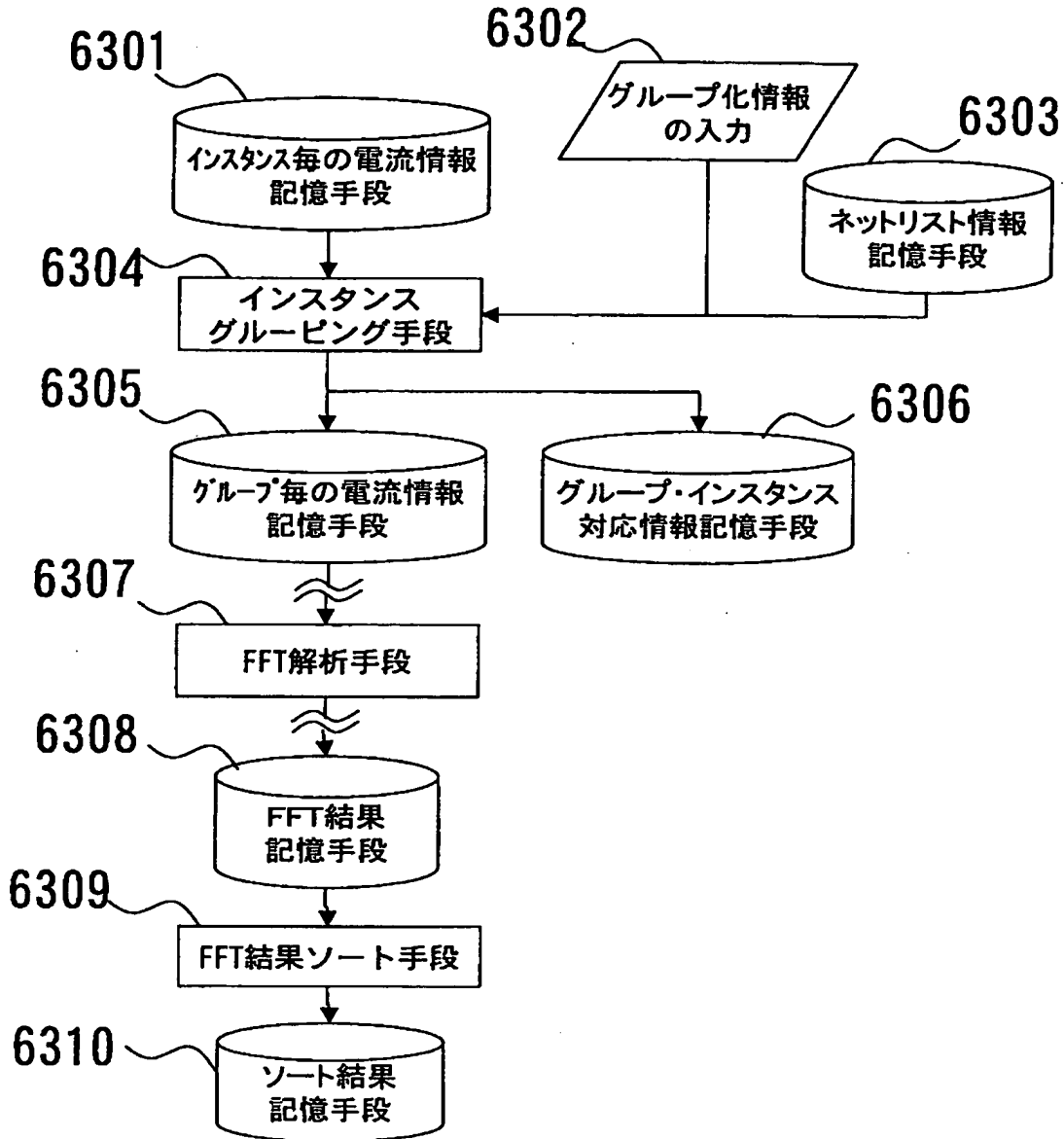
6101

6102

【図54】



【図 55】



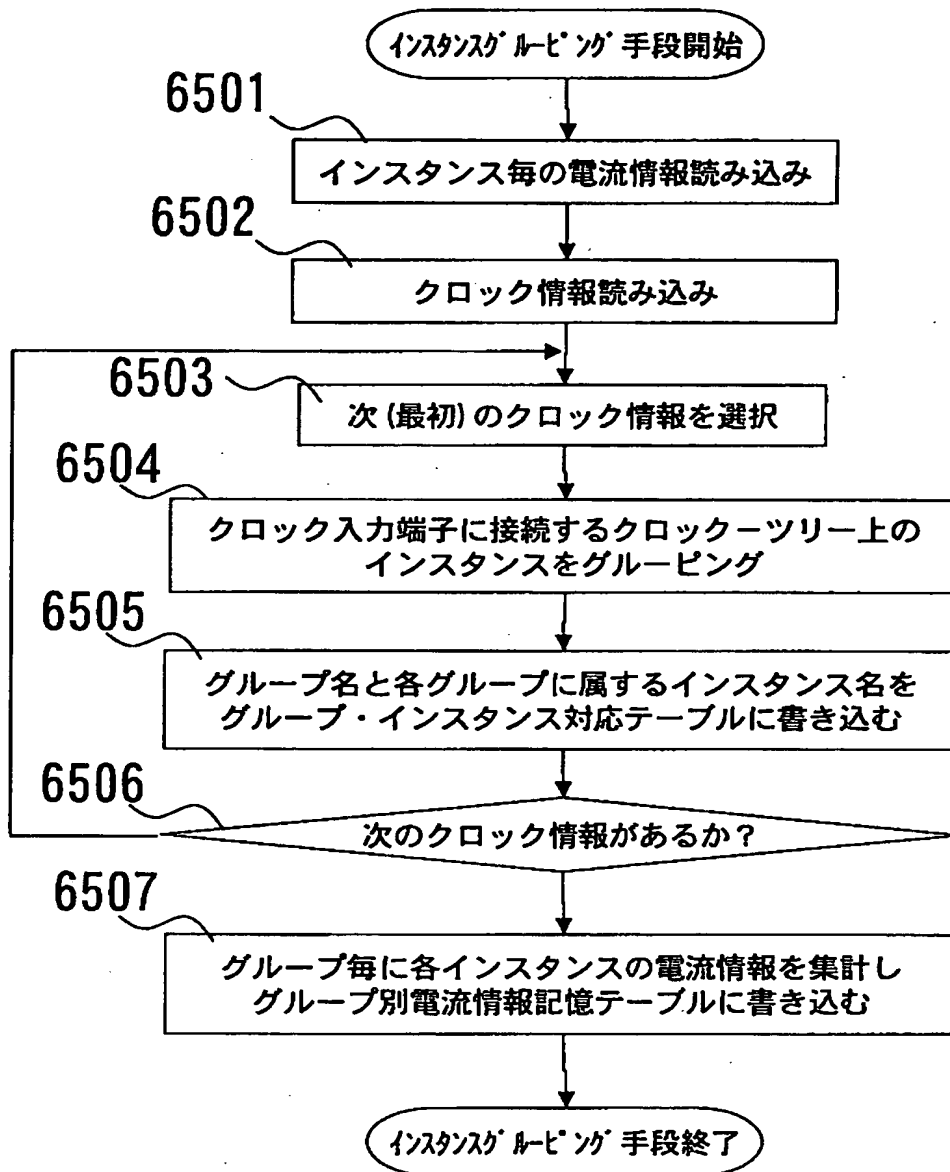
【図 5 6】

グループ化番号	クロック端子名
1	CLK1
2	CLK2
3	CLK3
4	CLK4
5	CLK5
6	CLK6
7	CLK7
・	・
・	・
・	・

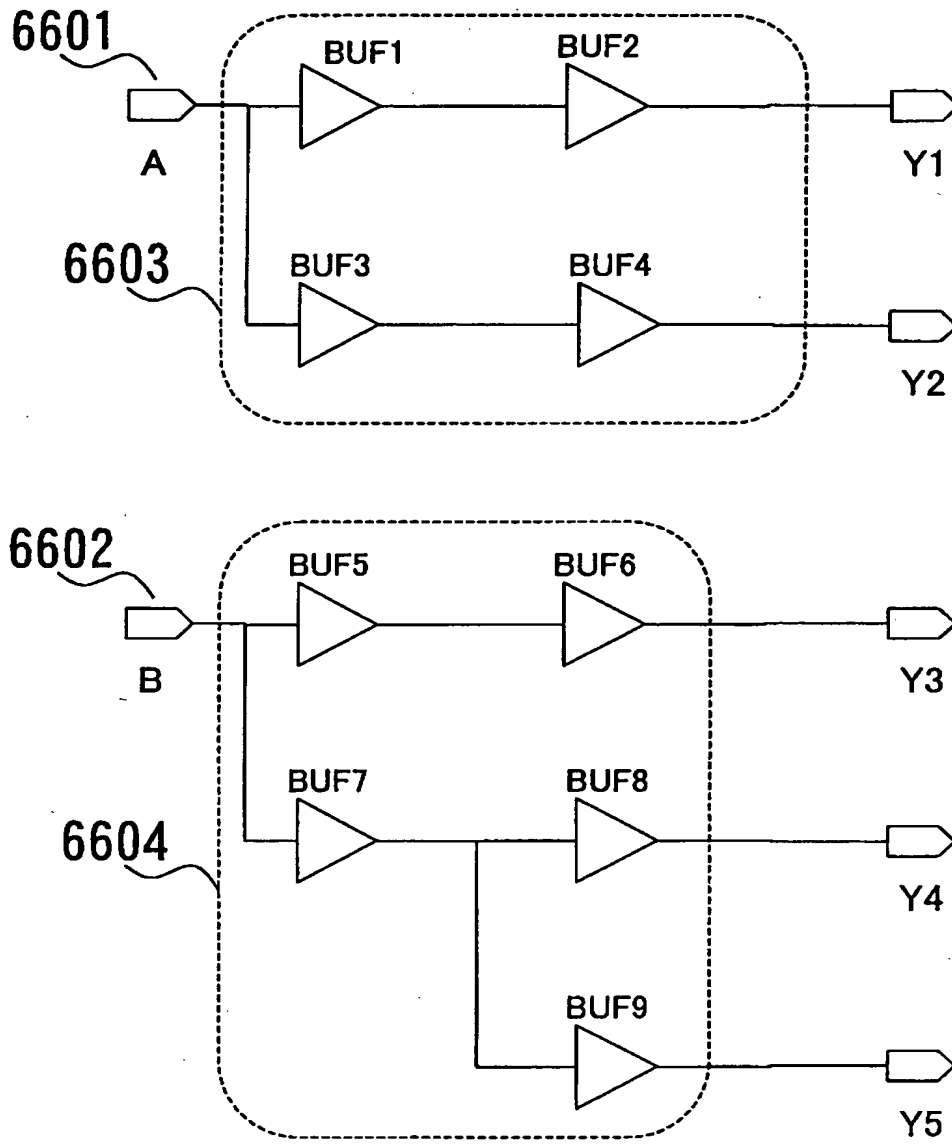
6401

6402

【図 5 7】

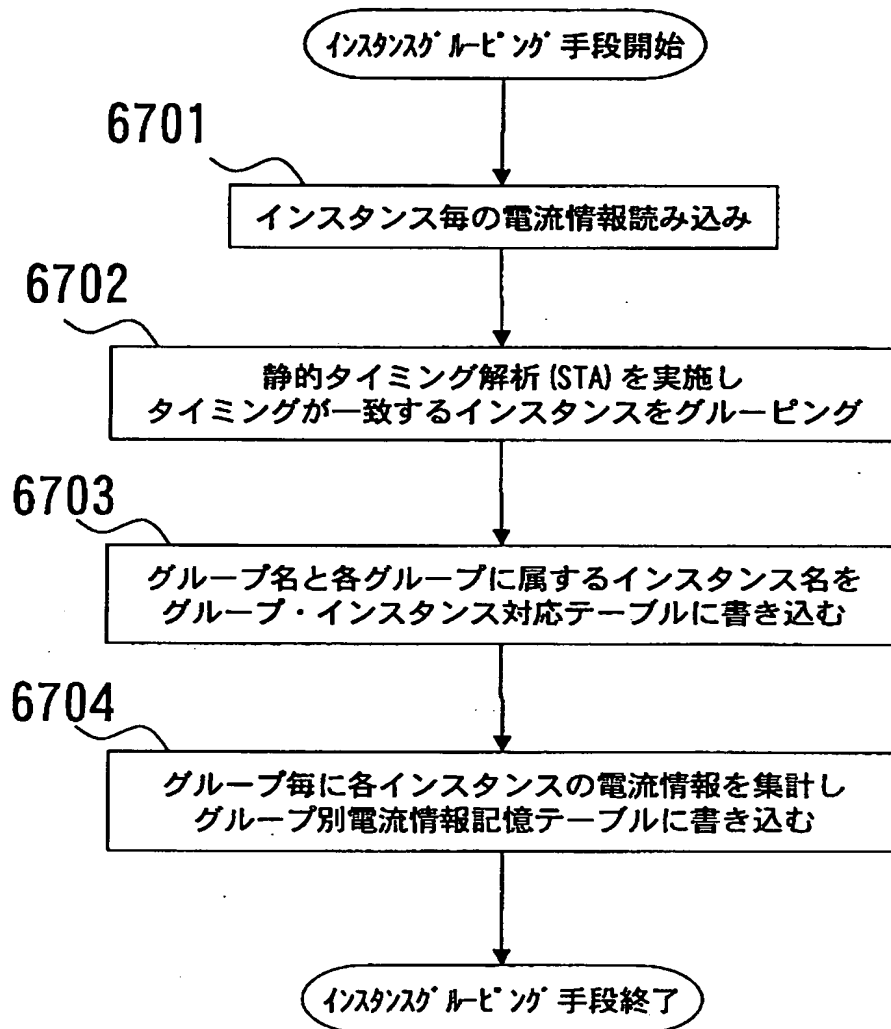


【図 5 8】

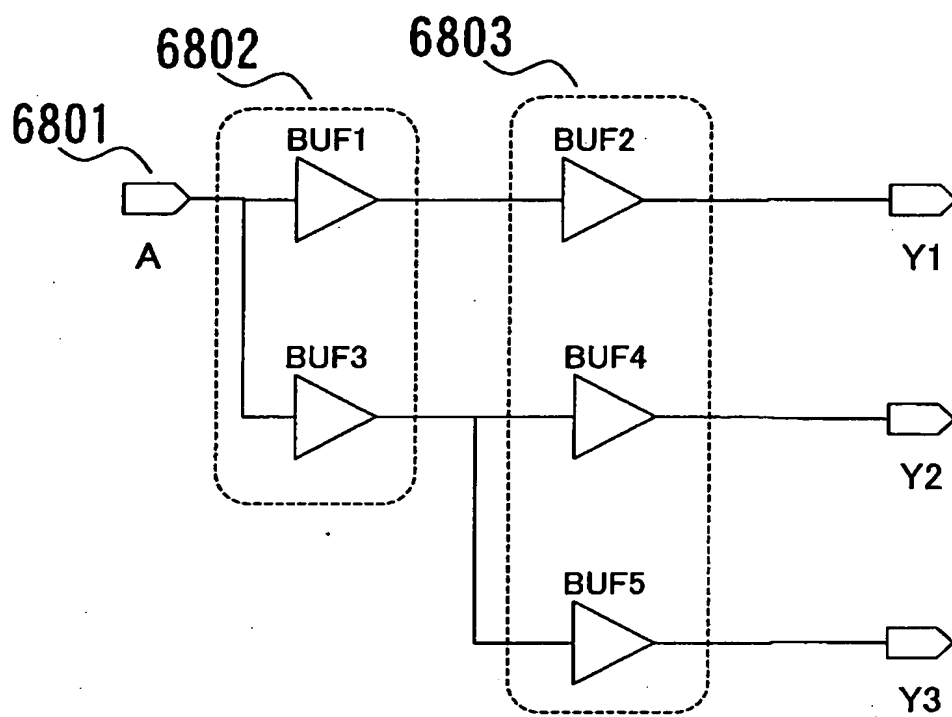




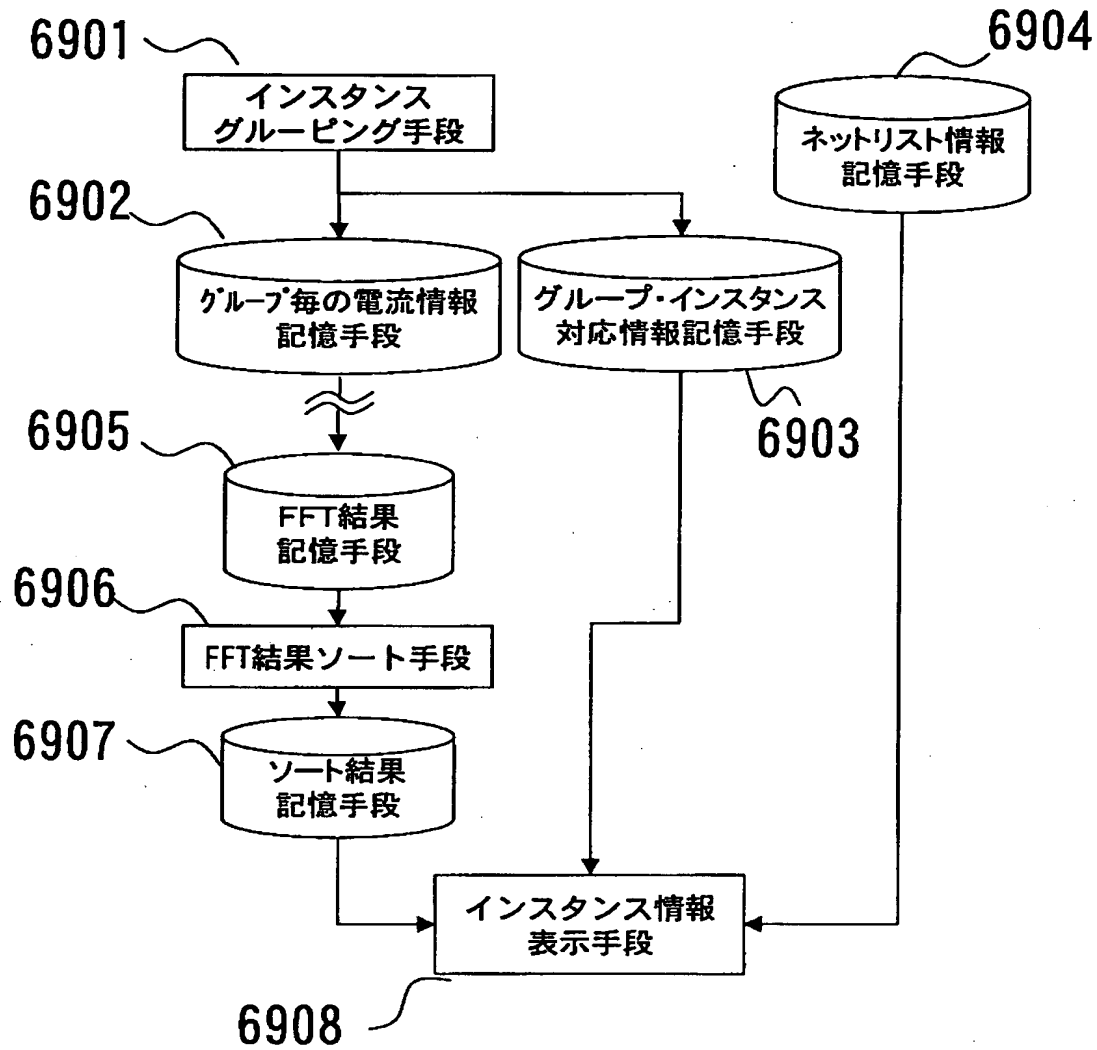
【図 5 9】



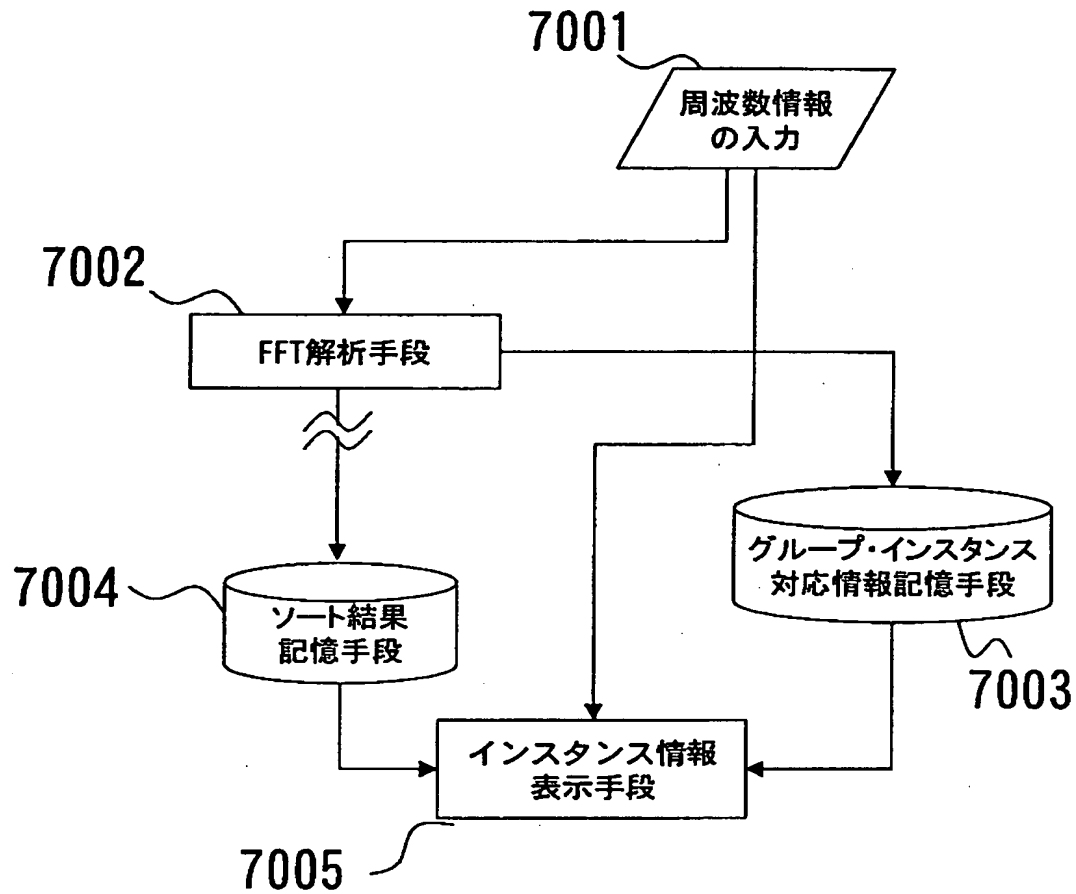
【図 6 0】



【図 61】



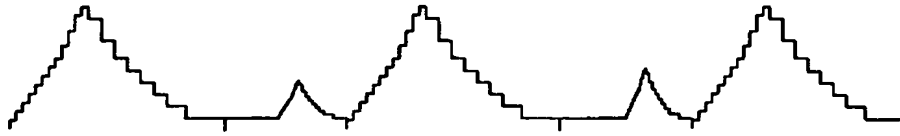
【図62】



【図 6 3】

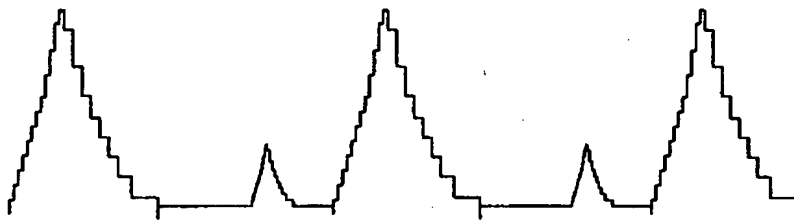
8001

電源電流(電源RC回路網)

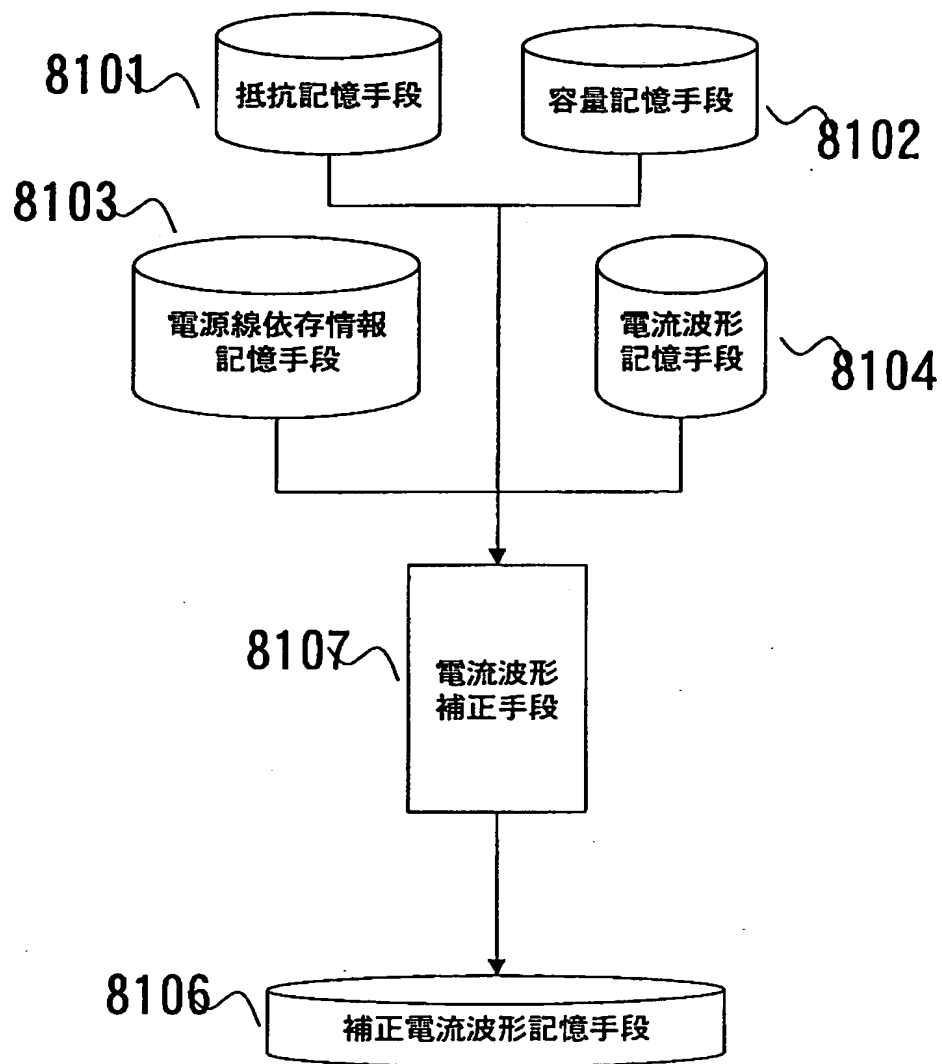


8002

電源電流(理想電源)



【図 6 4】



【図 65】

8201

R1 VDD #1 1.0

R2 #1 #2 1.5

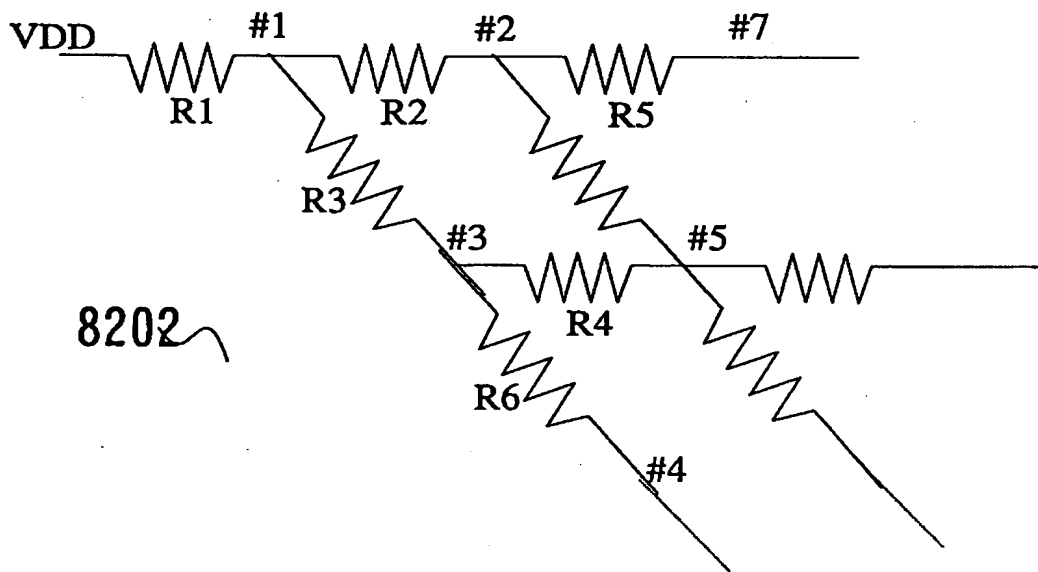
R3 #1 #3 1.5

R4 #3 #5 1.0

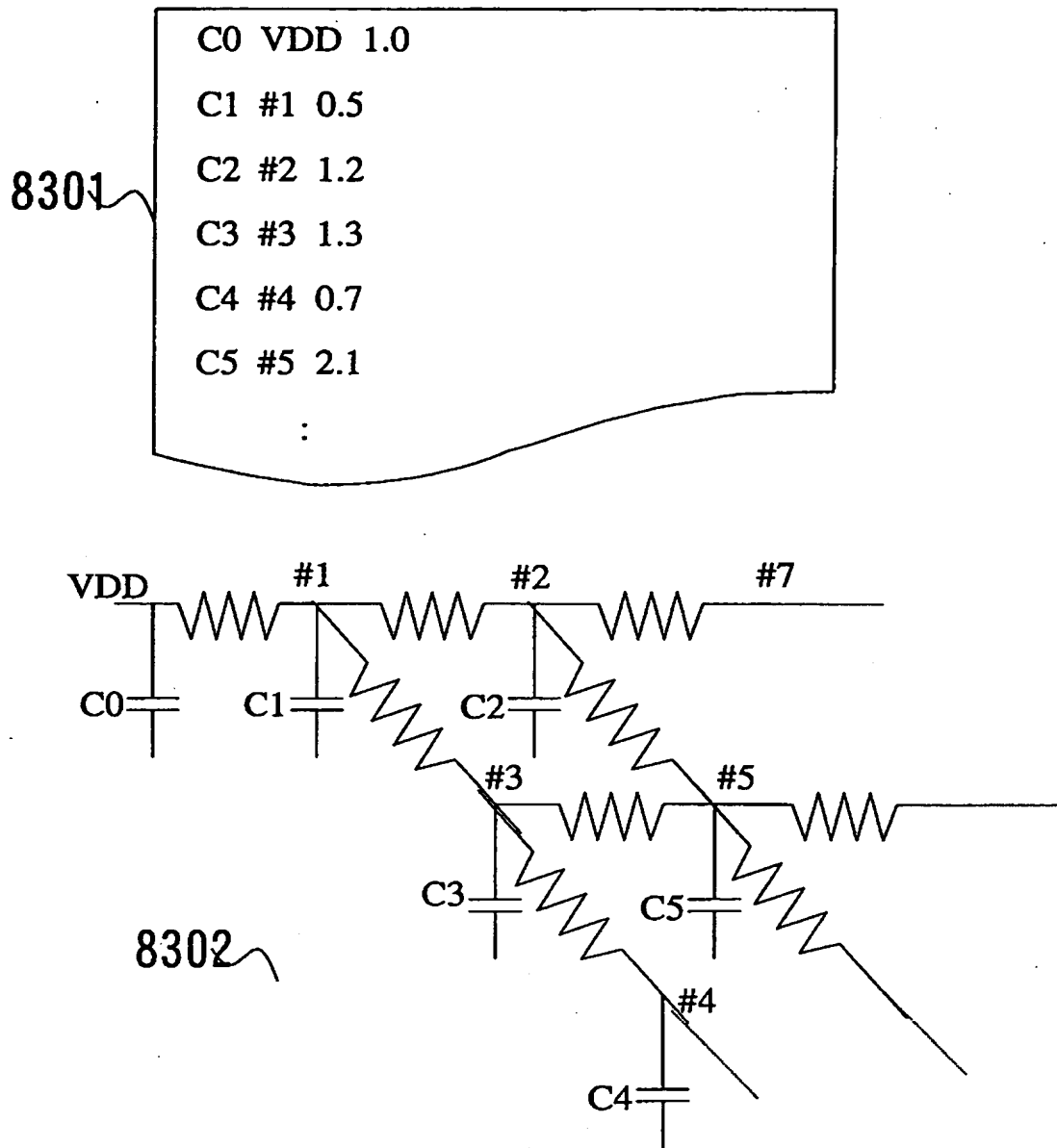
R5 #2 #7 1.5

R6 #3 #4 2.0

:



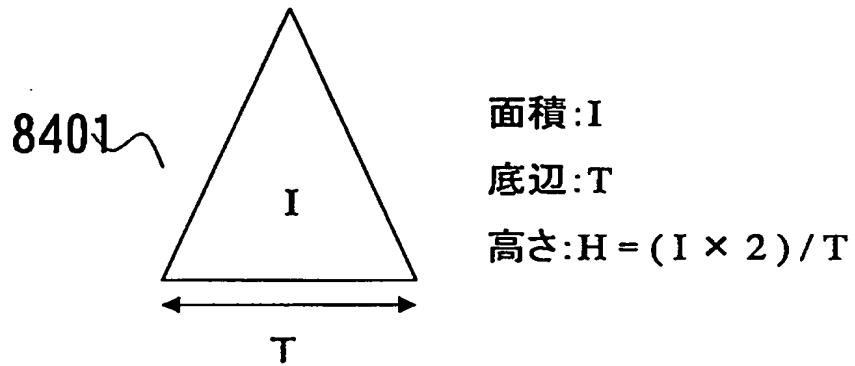
【図 66】



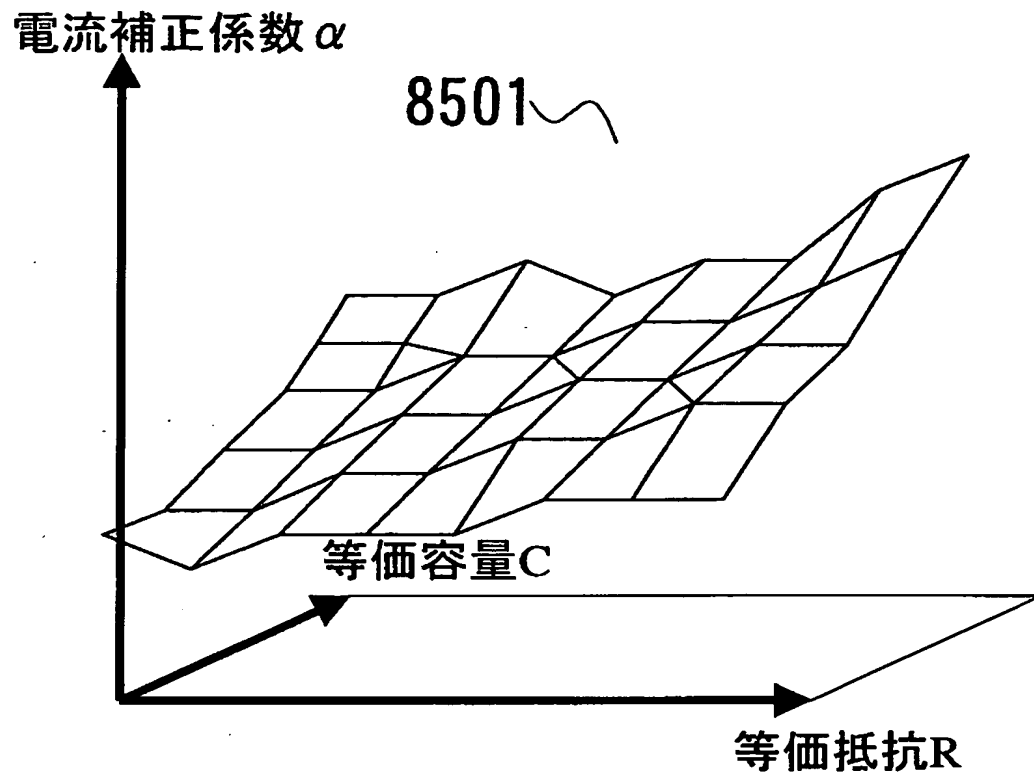


【図 6 7】

推定電流波形のイベント単位モデル



【図 6 8】

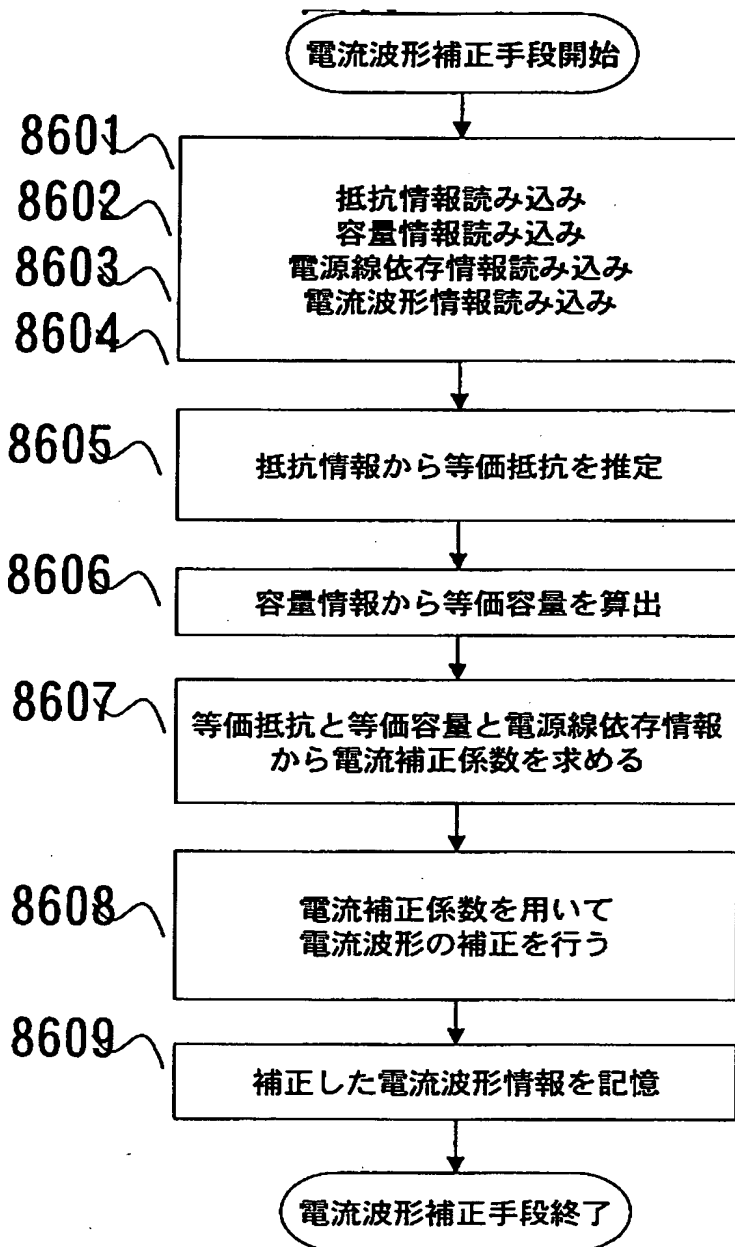


8502

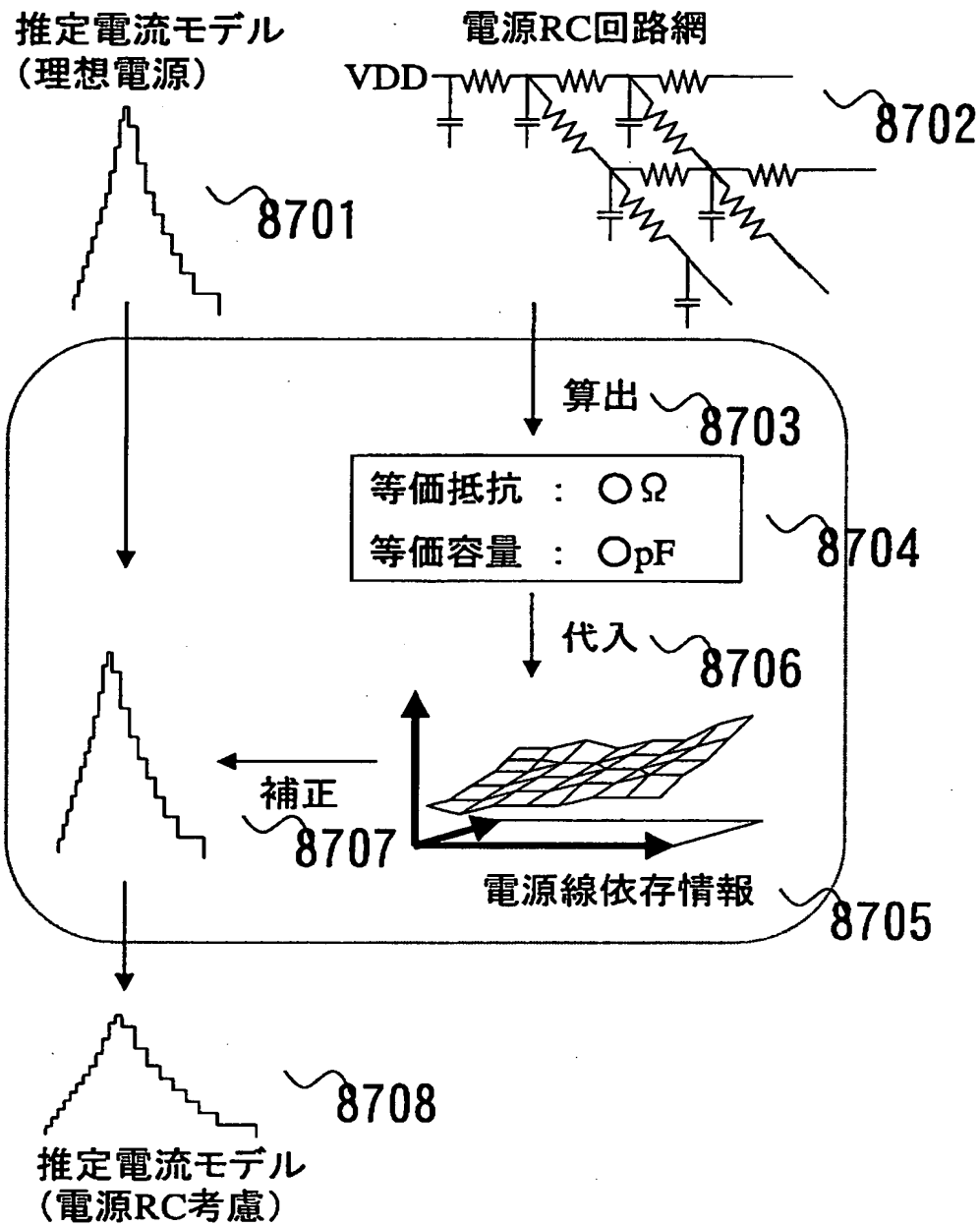
電流補正係数

$$\alpha = F(C, R)$$

【図 69】



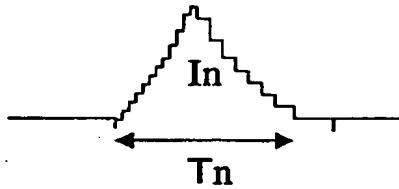
【図70】



【図 7 1】

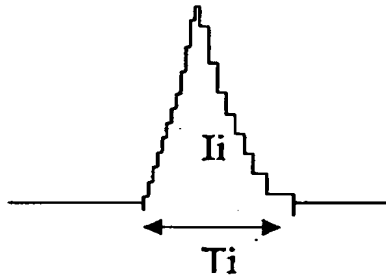
8801

電源電流(電源RC回路網)

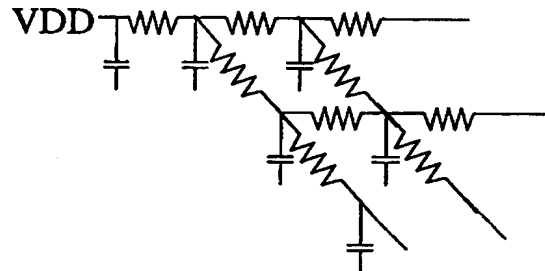


8802

電源電流(理想電源)



8803



算出

等価抵抗 :  $R[\Omega]$

等価容量 :  $C[pF]$

8804

底辺補正係数:  $\alpha_t = T_n / T_i$

面積補正係数:  $\alpha_i = I_n / I_i$

【図 7 2】

### 等価抵抗

①接点ごとに抵抗を算出

8901 ~

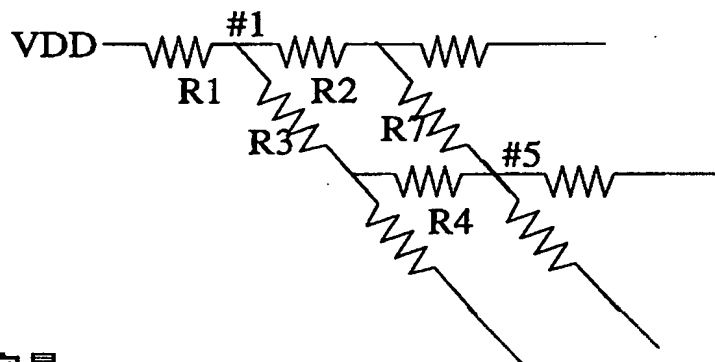
$$\#1 = R1$$

:

$$\#5 = R1 + \{ \{ (R2+R7) \times (R3+R4) \} / \{ (R2+R7) + (R3+R4) \} \}$$

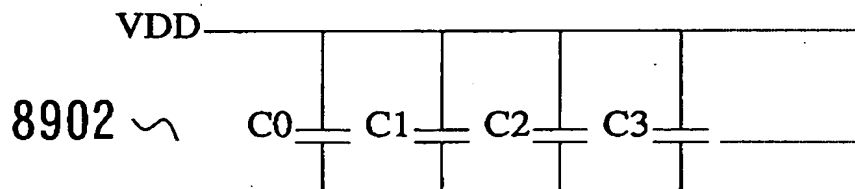
:

②平均を算出 → チップの等価抵抗とする。

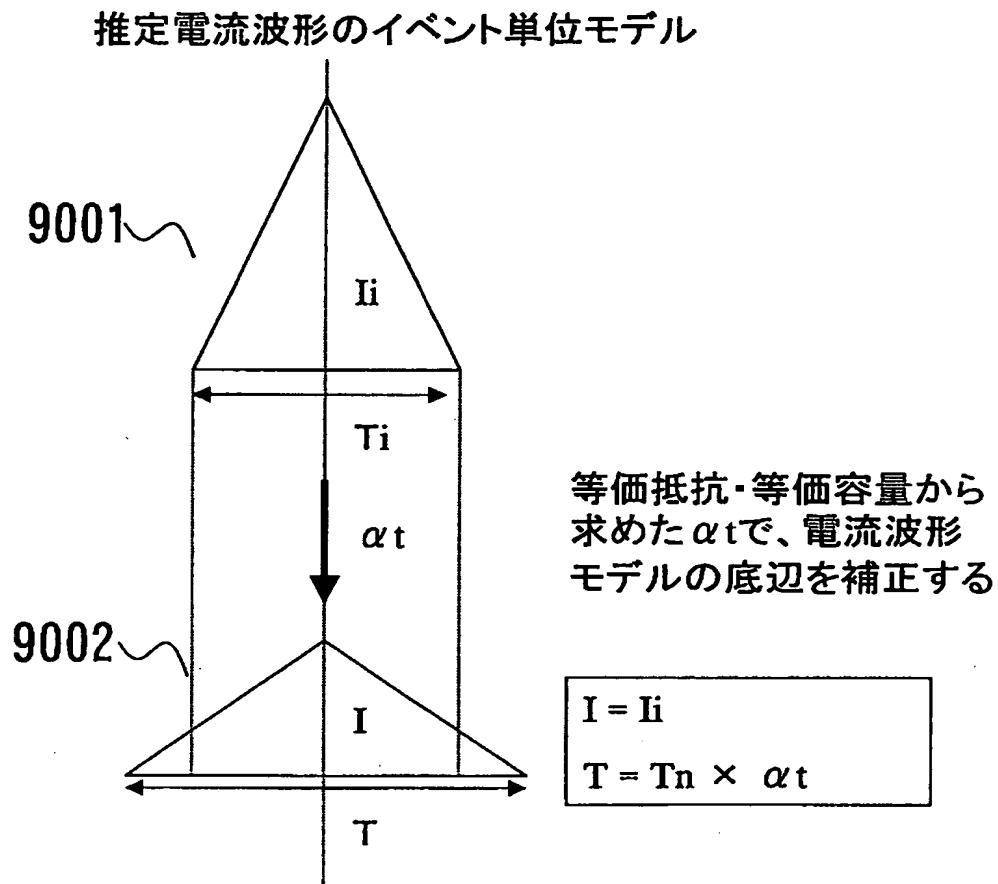


### 等価容量

①チップの容量値の総和 → チップの等価容量とする。



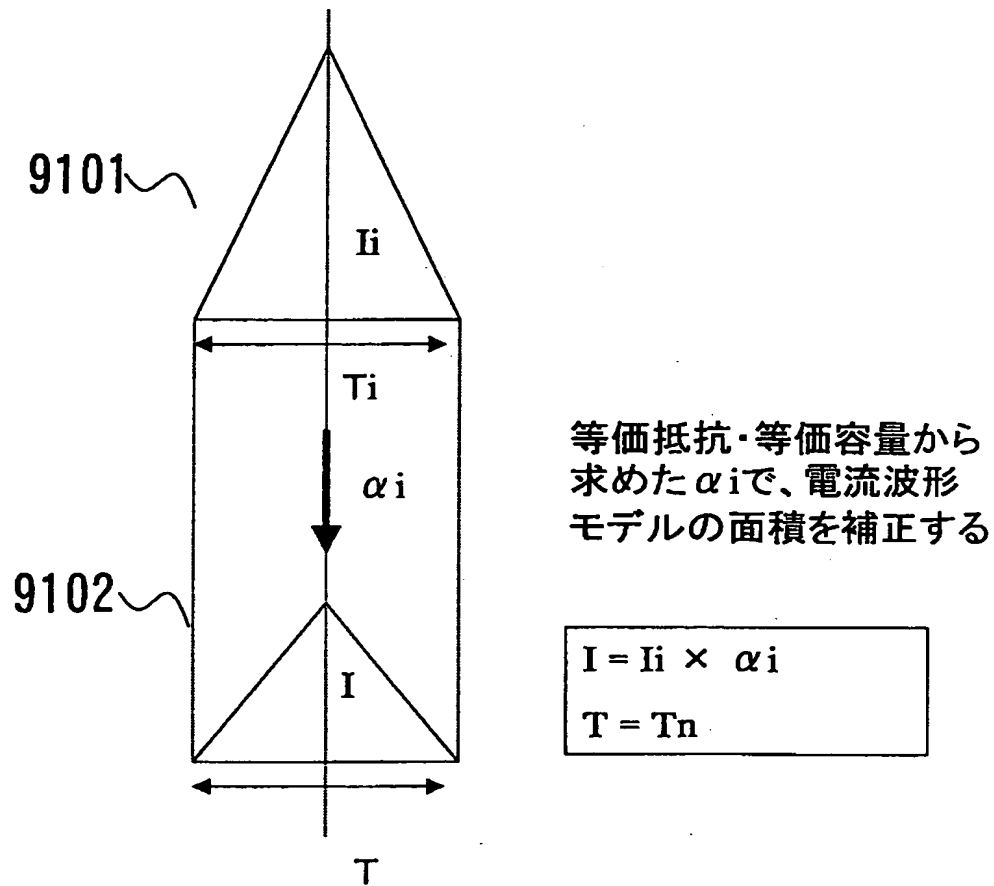
【図 73】



デカップリングの影響を反映

【図 7 4】

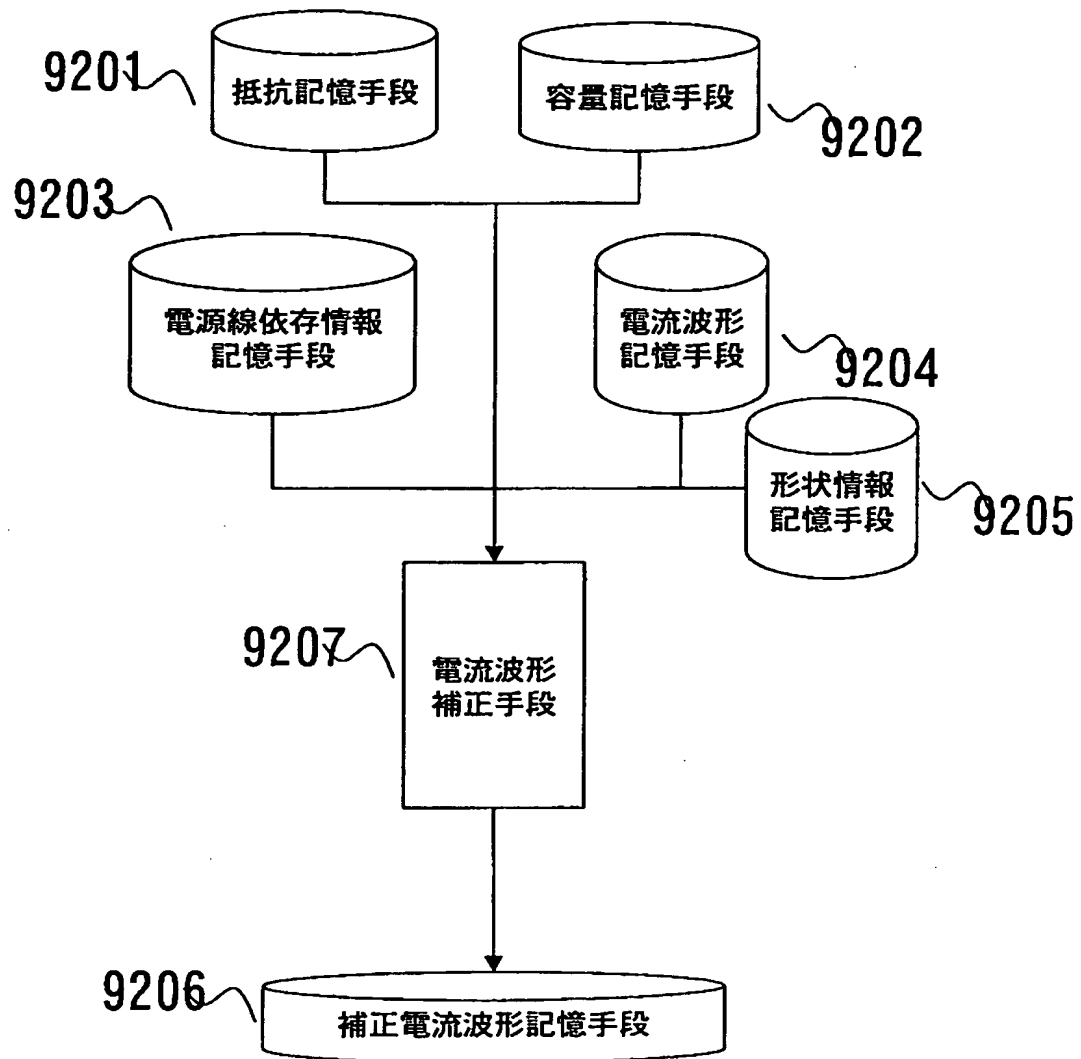
推定電流波形のイベント単位モデル



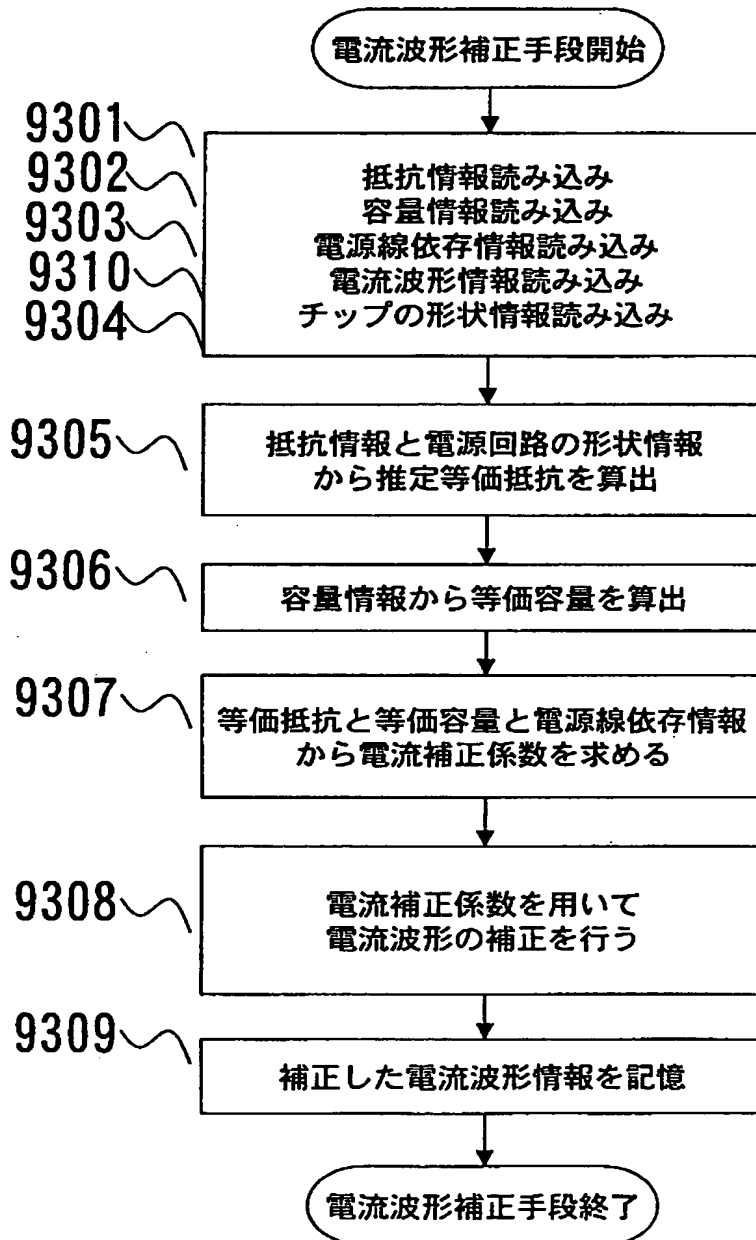
IR-Dropの影響を反映



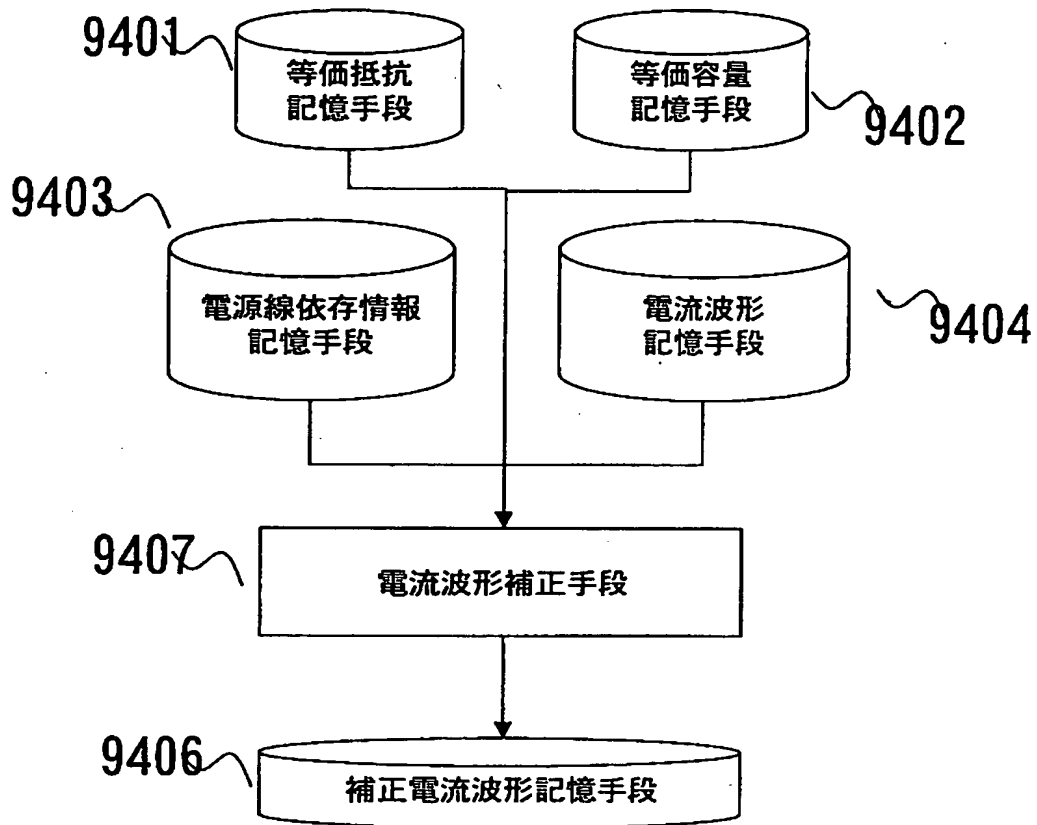
【図 75】



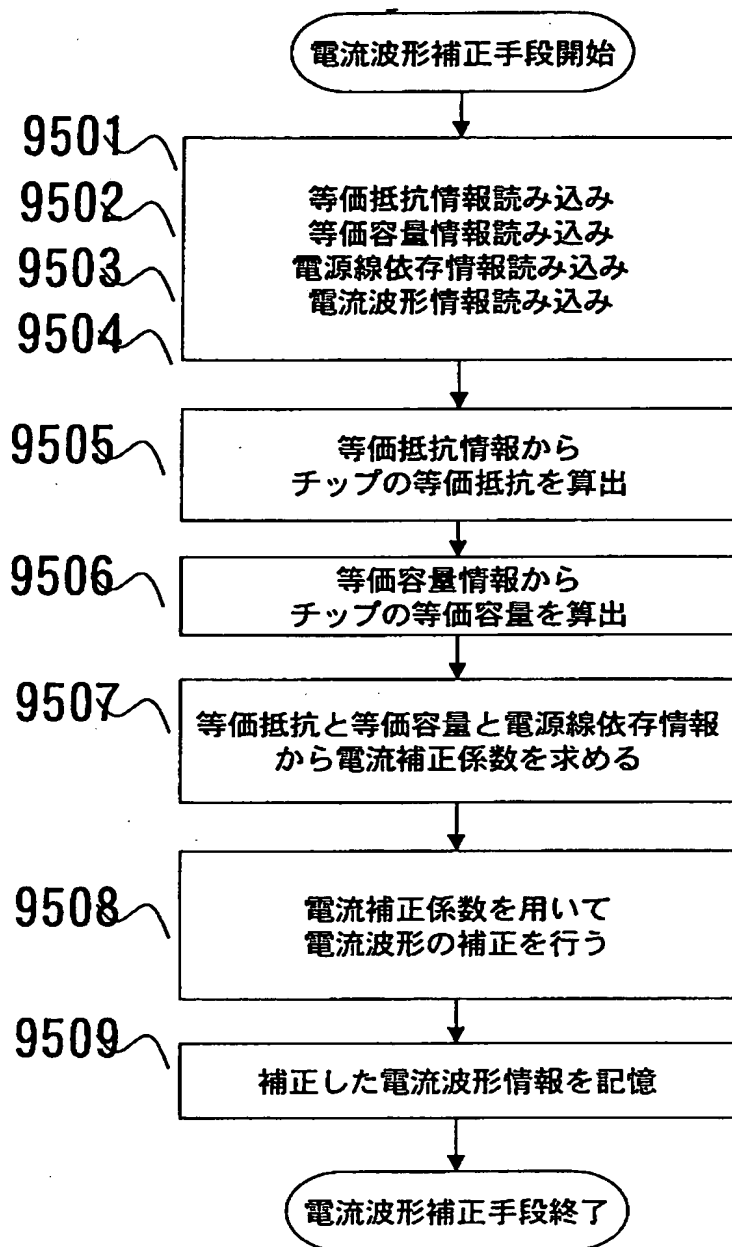
【図 7 6】



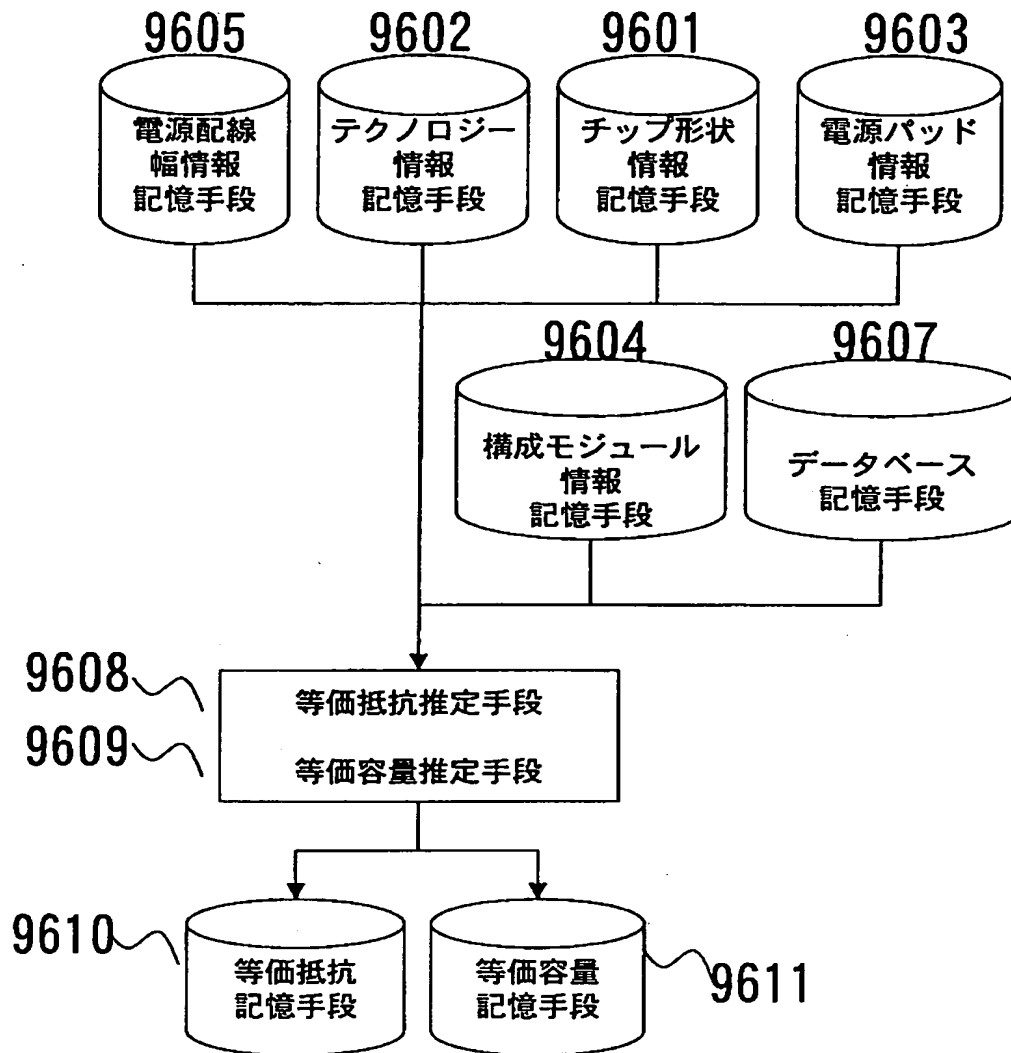
【図 7 7】



【図 7 8】



【図 79】



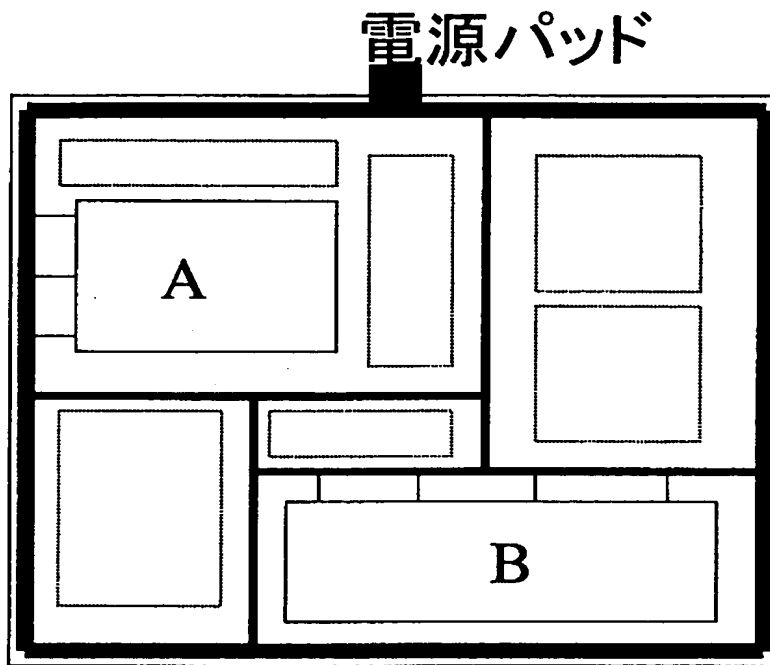
【図 8 0】



【図 81】

チップ等価抵抗	20 $\Omega$
チップ等価容量	400pF
チップ面積 チップ形状	400mm <sup>2</sup> 20.0mm × 20.0mm
電源パッド数 電源パッド位置	1 (1000,0)
テクノロジー シート抵抗値 単位寄生容量	0.6 $\mu$ m 100m $\Omega$ 1.0pF
リング電源配線 基幹電源配線 デカップリング容量セル	あり、50 $\mu$ m 30 $\mu$ m なし
モジュール種類 モジュール面積 モジュール位置 インスタンス数 モジュール内配線幅 周辺容量セル	標準ロジック(A) 8.0mm × 4.5mm (400,800) 700,000 5 $\mu$ m なし
モジュール種類 モジュール面積 モジュール位置 インスタンス数 モジュール内配線幅 周辺容量セル	RAM(B) 13.0mm × 2.0mm (1700,1800) 300,000 — なし
:	:

【図 8 2】

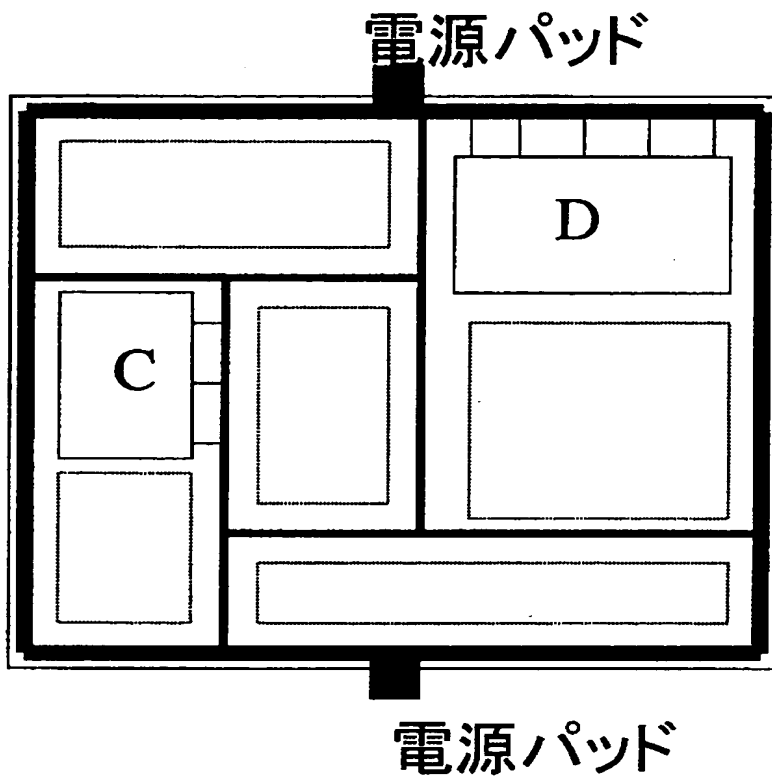




【図 8 3】

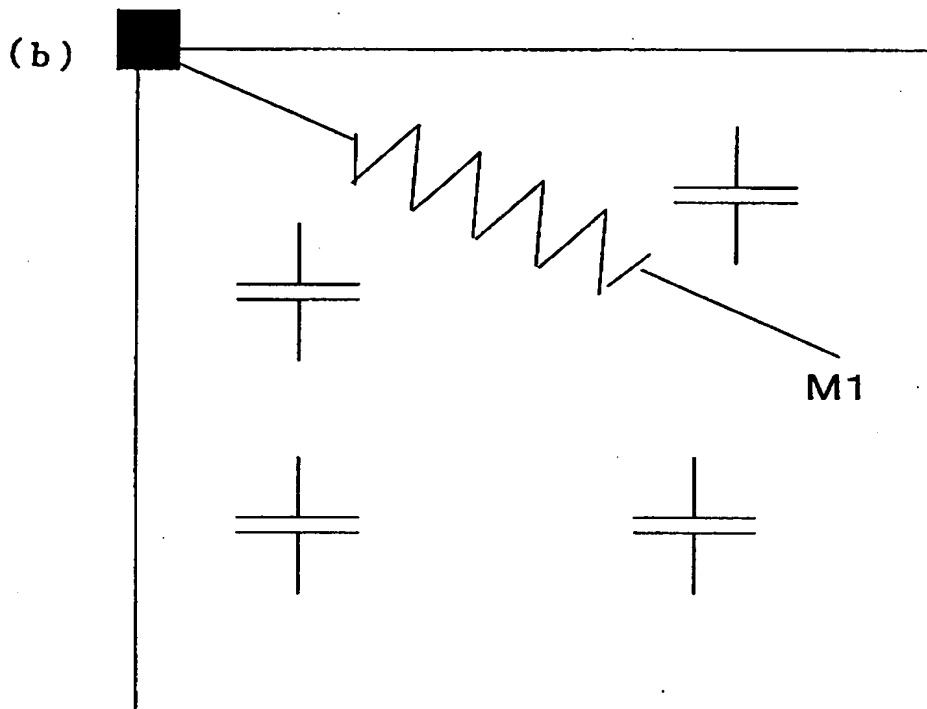
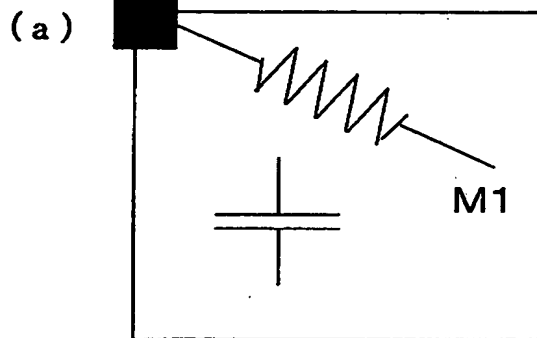
チップ等価抵抗	?
チップ等価容量	?
チップ面積 チップ形状	1,600mm <sup>2</sup> 80.0mm × 20.0mm
電源パッド数 電源パッド位置	2 (4000,0) (4000,2000)
テクノロジー シート抵抗値 単位寄生容量	0.6um 100mΩ 0.75pF
リング電源配線 基幹電源配線 デカップリング容量セル	あり、75um 45um リング電源配線下に挿入
モジュール種類 モジュール面積 モジュール位置 インスタンス数 モジュール内配線幅 周辺容量セル	標準ロジック(C) 7.5mm × 15.0mm (400,800) 700,000 5um なし
モジュール種類 モジュール面積 モジュール位置 インスタンス数 モジュール内配線幅 周辺容量セル	RAM(D) 4.0mm × 25.0mm (1700,1800) 300,000 — なし
:	:

【図 84】

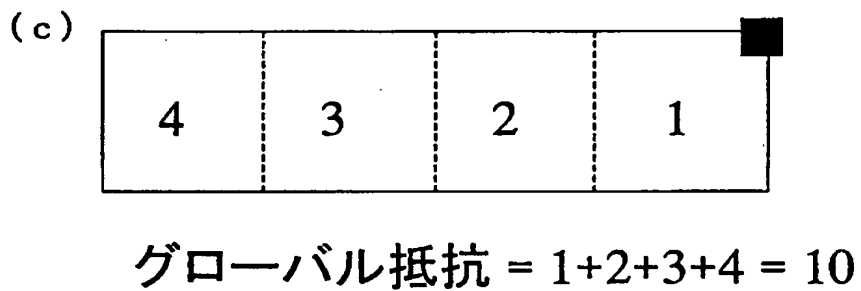
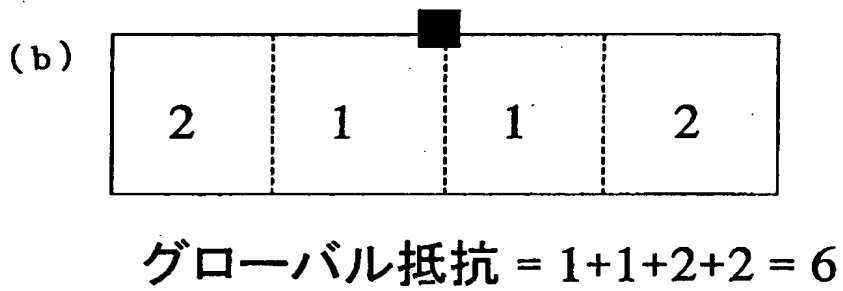
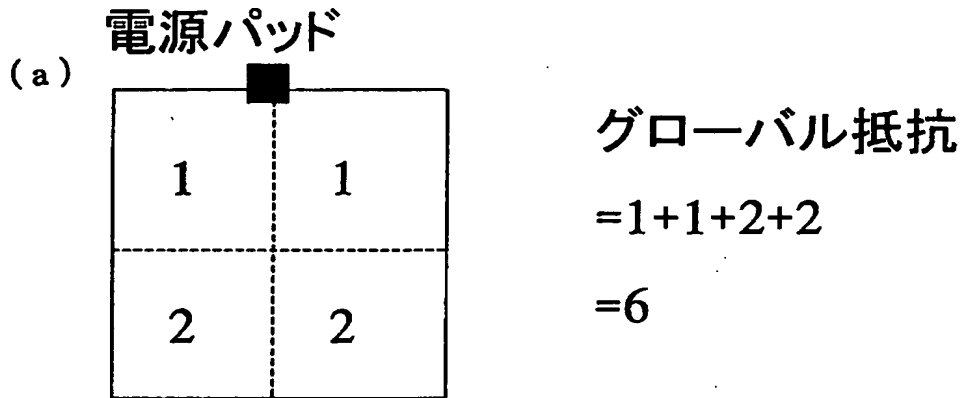


【図 8 5】

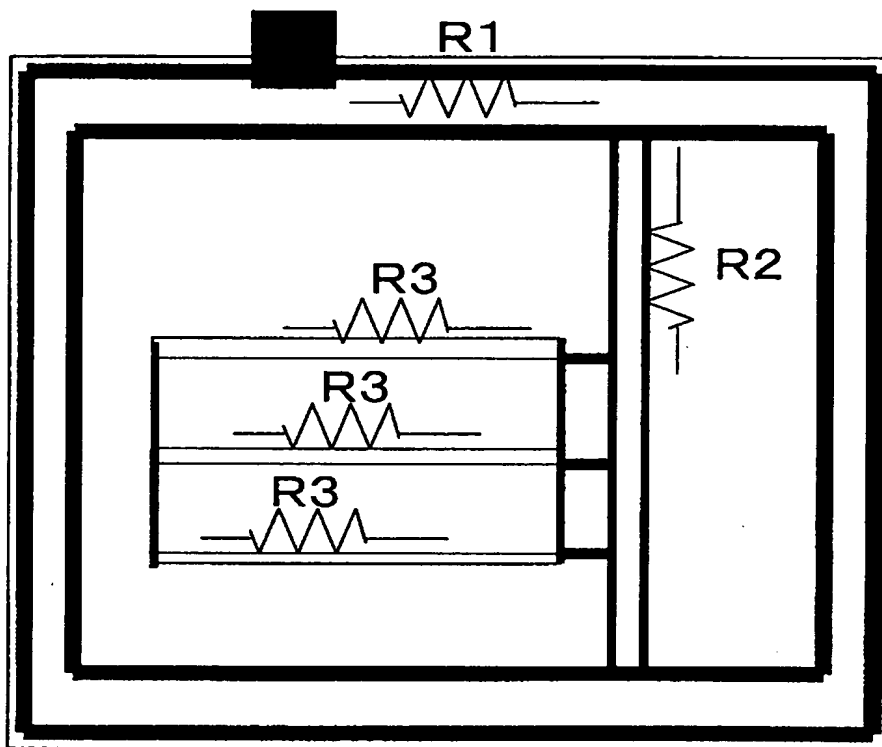
電源ヘッド



【図 8 6】

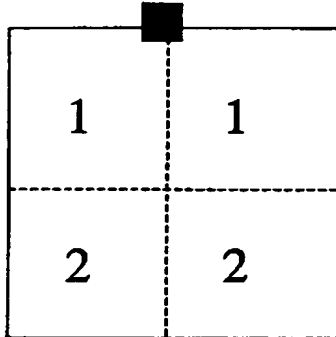


【図 8 7】

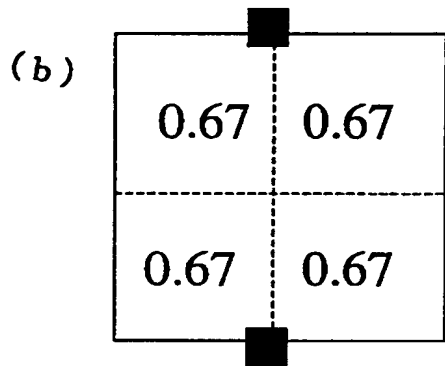


【図 8 8】

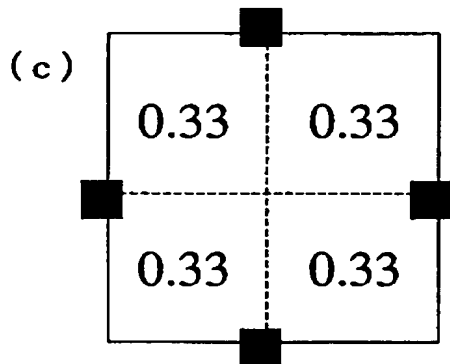
(a) 電源パッド



$$\begin{aligned} & \text{等価抵抗} \\ &= 1 + 1 + 2 + 2 \\ &= 6 \end{aligned}$$

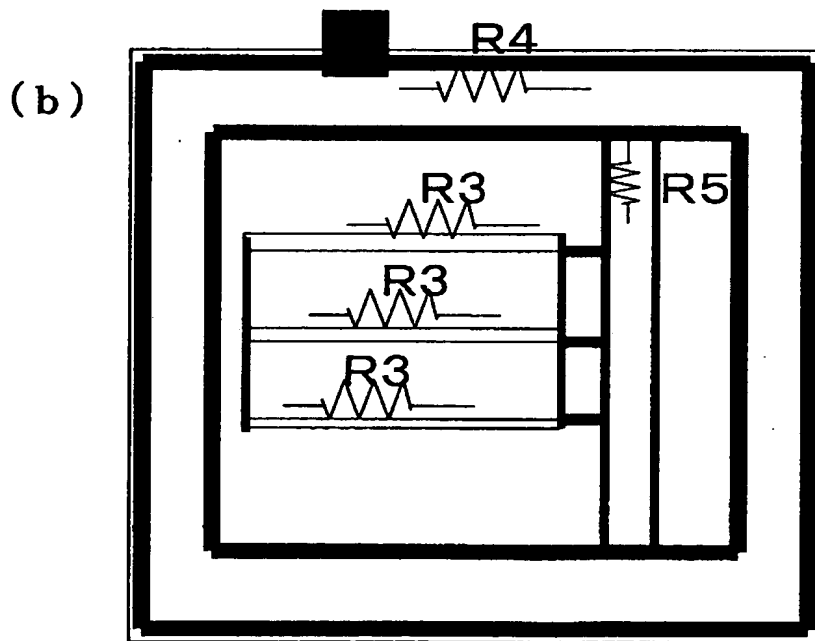
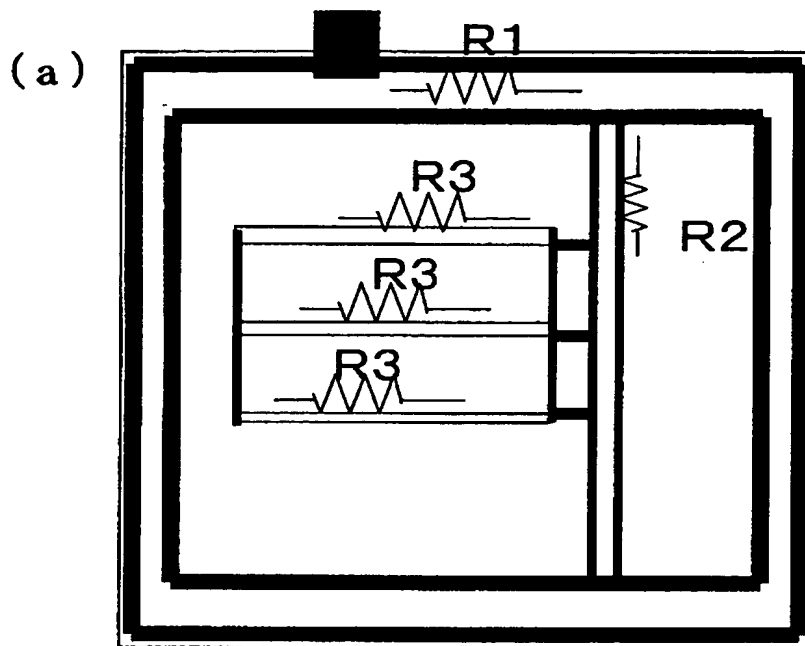


$$\begin{aligned} & \text{等価抵抗} \\ &= 2.67 \end{aligned}$$

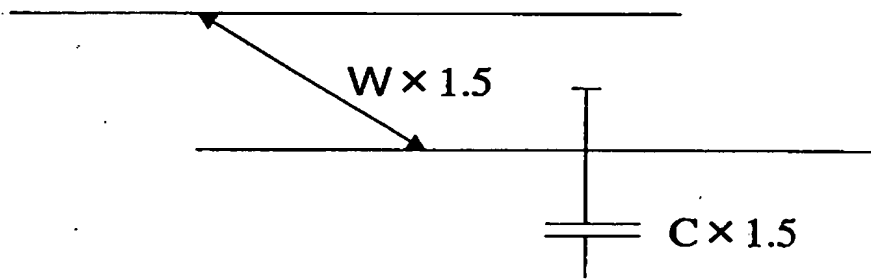
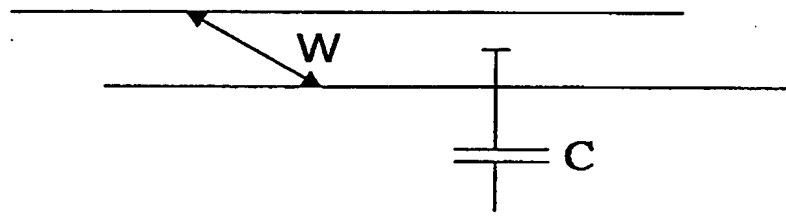


$$\begin{aligned} & \text{等価抵抗} \\ &= 1.33 \end{aligned}$$

【図 89】



【図90】





【書類名】要約書

【要約】

【課題】高速解析しつつも、電源電流を高精度に解析することで、シミュレーション上において L S I の不要輻射を現実的な時間で評価する。

【解決手段】本発明では、特定の周波数帯に対し、高速フーリエ変換（以下 F F T）解析の離散幅の変更を指定する離散幅変更周波数帯指定工程と、前記指定された周波数帯と前記周波数帯以外の周波数帯とに対し、それぞれ互いに異なる F F T 解析離散幅を割り当て、モデル化する工程とを含むことを特徴とする。また、本発明の E M I 解析手法は、電源及びグラウンドの抵抗、容量、インダクタンスによるデカップリングの影響をゲートレベルの電源電流計算に反映することで、シミュレーション上において L S I の不要輻射を現実的な時間で評価するとともに、さらには、E M I 発生個所の特定を支援することによる効率的な E M I 対策を可能にするものである。

【選択図】図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日  
[変更理由] 新規登録  
住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社